

CENTRO DE ENSEÑANZA TÉCNICA Y SUPERIOR



Colegio de Ingeniería
Dirección de Posgrado
Campus Mexicali

Proyecto de Ingeniería e Innovación

Análisis de defectos eléctricos en productos con tecnología BGA y medidas de control para reducir el scrap en Skyworks Solutions Mexicali

para obtener el grado de

Maestro en Ingeniería e Innovación

Presenta

Karen Michel Cangas Ortega

Director de proyecto: Dra. Dania Licea Verduzco

Co-director de proyecto: Dr. Miguel A. Salinas Yáñez

Asesor Industria: MBA. Zelman Hernández

Mexicali, Baja California. Junio 2018

CENTRO DE ENSEÑANZA TÉCNICA Y SUPERIOR



Colegio de Ingeniería
Dirección de Posgrado
Campus Mexicali

Proyecto de Ingeniería e Innovación

Análisis de defectos eléctricos en productos con tecnología BGA y medidas de control para reducir el scrap en Skyworks Solutions Mexicali

para obtener el grado de

Maestro en Ingeniería e Innovación

Presenta

Karen Michel Cangas Ortega

Director de proyecto: Dra. Dania Licea Verduzco

Co-director de proyecto: Dr. Miguel A. Salinas Yáñez

Asesor Industria: MBA. Zelman Hernández

Comité evaluador:

MC. Cristóbal Capiz Gómez

Dr. Miguel A. Salinas Yáñez

Dr. Miguel A. Ponce
Camacho

Mexicali, Baja California. Junio 2018

Agradecimientos

Agradezco a Skyworks Solutions Mexicali por haberme dado la oportunidad de trabajar en esta empresa y así desarrollarme en el campo profesional. Este ha sido mi primer trabajo en la industria y aunque el camino no ha sido fácil, siempre ha habido más de una razón para continuar.

Agradezco a mis mentores Benno Vogel y Alejandro Lizarraga por transmitir su conocimiento y compartir sus experiencias conmigo, gracias a ustedes ahora cuento con las herramientas necesarias para sobre salir en el campo laboral.

De igual manera, doy las gracias a mis compañeros de trabajo y amigos por todas esas tardes que pasamos en la empresa intentando dar solución a un problema o estudiando para un examen. Ustedes han sido otro peldaño que me sigue impulsando a ser un mejor profesional.

Este proyecto de aplicación está dedicado a mi familia, con especial agradecimiento a mis padres, por haberme ayudado a ser mejor persona y enseñado a no rendirme.

Este trabajo también está dedicado a mi esposo, por todo su apoyo, por estar siempre a mi lado dándome ánimos a continuar día tras día.

Sobre todo quiero agradecer a Dios ya que ha sido la fuerza interior que me ayuda a seguir adelante.

Gracias...totales



SKYWORKS SOLUTIONS DE MEXICO S. DE R.L. DE C.V.
CALZADA GOMEZ MORIN 1690 COL. RIVERA
MEXICALI B.C
TEL. (686)564-2100

Mexicali B.C. Junio del 2018

Estimados miembros del Colegio de ingeniería, Dirección de Posgrado y Campus Mexicali:

Por medio del presente hago constatar que el proyecto:

“Análisis de defectos eléctricos en productos con tecnología BGA y medidas de control para reducir el scrap en Skyworks Solutions Mexicali”

El cual fue desarrollado por el empleado:

Karen Michel Cangas Ortega

Matrícula: **M033025**

Que cursa la maestría de **Ingeniería e Innovación**, fue implementado de manera satisfactoria en Skyworks Solutions de México dentro del departamento de pruebas, logrando resultados relevantes para la empresa.

ATENTAMENTE

A handwritten signature in black ink, appearing to read "Zelman Hernandez Castro".

MBA. Zelman Hernandez Castro

DIRECTOR DE INGENIERIA DE PRUEBAS



Índice de contenido general

Capítulo 1: Introducción	1
Antecedentes.....	1
El proceso de ensamble de productos BGA actuales en Skyworks	3
SMT	4
Molding	4
Ball attach	4
Flip Chip Attach.....	4
Laser cut	5
Sputtering.....	5
Electrical Test.....	6
Justificación	7
Planteamiento del problema	7
Preguntas de investigación.....	7
Objetivo	8
Hipótesis.....	8
Capítulo 2: Marco Teórico	9
La Tecnología BGA (Ball Grid Array).....	9
Tipo de encapsulado.....	11
Encapsulado Plástico.....	11
Encapsulados Herméticos: Metal y Cerámica.....	12
Estándares.....	12
Defectos.....	12
Capítulo 3: Metodología	16
Diseño de la investigación	16
Variables a medir.....	16
Muestras.....	17
Procedimiento.....	17
Capítulo 4: Desarrollo y Resultados	19
Six Sigma	19
Definir.....	19
Medir	20

Analizar	21
Incrementar	28
Controlar	30
Capítulo 5: Discusión, conclusiones y recomendaciones.....	33
Recomendaciones	35
Referencias	36

Índice de figuras

Figura 1. Procesador Intel Pentium MMX con tecnología BGA. Fuente: obtenida de https://es.wikipedia.org/wiki/Ball_Grid_Array	2
Figura 2 (a) Probadora (tester). Imagen obtenida de Itxc.com (b) Manejadora (handler). Fuente: Imágenes obtenidas de www.genesem.com	2
Figura 3. Ejemplo de un socket. Fuente: Imagen obtenida de www.iwinsn.com	3
Figura 4. Proceso de ensamble de productos BGA en Skyworks Solutions. Elaboración propia.	3
Figura 5. Microcircuito, componentes internos y molding compound. Fuente: Imagen obtenida de http://electroi.com/blog/2007/09/molding-transforms-to-meet-advanced-market-requirements/	4
Figura 6. Vista transversal que ilustra el proceso de Ball Attach. Elaboración propia.	4
Figura 7. Vista inferior del Producto BGA con dado expuesto. Elaboración propia.....	5
Figura 8. Ilustración de un proceso de cortado con tecnología láser. Fuente: Imagen obtenida de http://machiningservicesinc.com/wp-content/uploads/2014/07/Laser_cutting.jpg	5
Figura 9. Material en charola, listo para prueba eléctrica en ATE. Fuente: Imagen obtenida de http://www.cmslaser.com/industrial-applications-for-lasers/electronics	6
Figura 10. (a) Dual In-line Package (b) Quad Flat Pack. Fuente: Imágenes obtenidas de www.microchip.com	9
Figura 11. Tendencias en los paquetes de semiconductores. Fuente: Imagen obtenida de Technology Trends and Future History of Semiconductor Packaging Substrate Material”	10

Figura 12. Comparación en tamaño y cantidad de puertos de los encapsulados QFP y BGA. Imagen obtenida de http://extra.ivf.se/ngl/E-BGA/ChapterE1.htm#E1	11
Figura 13. Principales zonas de falla en uniones tipo BGA. Obtenida de Lambert (2013).	13
Figura 14. Defecto Non-Wet Open. Fuente: obtenida de Bastow (2016).	14
Figura 15. (a) Corte transversal que muestra defecto de solder ball cracked. (b) Diagramas de under-fill y edge bonding. Fuente: Imágenes obtenidas de Cai et al (2011).....	15
Figura 16. Comportamiento mensual de los parámetros VDD_VIO y CONT_VIO.....	19
Figura 17. Comportamiento semanal del producto DRx LNA.....	20
Figura 18. Pérdida de yield semanal por parámetro CONT_VIO y VDD_VIO.....	21
Figura 19. Histograma de la prueba (a) CONT_VIO y (b) VDD_VIO.....	21
Figura 20. Diagrama de pescado.	22
Figura 21. Histogramas de las pruebas CONT_VIO y VDD_VIO antes y después de brindar mantenimiento al equipo de prueba.	23
Figura 22. Resultados de EDX.....	24
Figura 23. Comparación de las distribuciones de la prueba VDD_VIO antes y después de la limpieza en alcohol.	25
Figura 24. Boxplots de la prueba eléctrica de los parámetros CONT_VIO y VDD_VIO antes y después de la limpieza.	26
Figura 25. Resultados del análisis de comunalidad.	27
Figura 26. (a) Diagramas de Rubber (área azul) original (b) Diseño propuesto (c) Desgaste del rubber.	28
Figura 27. (a) Rubber original. (b) Rubber re-diseñado.....	29
Figura 28. Resultados de la prueba de hipótesis para los parámetros CONT_VIO y VDD_VIO.	30
Figura 29. Tendencia semanal en el porcentaje de fallas de VDD_VIO y CONT_VIO. 31	
Figura 30. Segundo diseño al rubber.	31
Figura 31. (a) Trazador de curva (b) Resultados de la prueba de emisión de microscopía.	32
Figura 32. Tendencia mensual de los parámetros VDD_VIO y CONT_VIO.....	34

Índice de tablas

Tabla 1. Pérdida mensual en dólares por ambos parámetros.....	19
Tabla 2. Lista de actividades a realizar por cada posible causa.	22
Tabla 3. Datos estadísticos y porcentaje de fallas antes y después de la limpieza en alcohol.....	25
Tabla 4. Resultados eléctricos (yield, porcentaje de fallas) de tres lotes antes y después de realizar limpieza con alcohol.	25
Tabla 5. Datos estadísticos de parámetros CONT_VIO y VDD_VIO antes y después de la limpieza.	26
Tabla 6. Resultados de la evaluación por lote.....	29
Tabla 7. Resultados de la evaluación por proveedor.	30
Tabla 8. Resultados de la evaluación del equipo GRD08.	32

Lista de Abreviaturas

ATE. Automated Test Equipment
BGA. Ball Grid Array.
DC. Direct current
PCB. Printed Circuit Board.
SMT. Surface Mount Technology

Resumen

En este documento se presenta el desarrollo del proyecto de aplicación realizado en la empresa Skyworks Solutions Mexicali donde se identificó la siguiente oportunidad de mejora: reducir el índice de rechazos detectados en la etapa de prueba eléctrica causado por fallas de corriente y continuidad, tomando como objeto de estudio uno de los principales productos con tecnología BGA (*Ball Grid Array*). Cabe aclarar que por cuestiones de confidencialidad, el nombre original del producto fue cambiado simplemente a *DRx LNA*.

La estructura del documento se comprende de los siguientes capítulos: Introducción, Marco Teórico, Metodología, Desarrollo y Resultados, y por último Discusión, Conclusiones y Recomendaciones.

En el Capítulo 1 (Introducción) se exponen los antecedentes del proyecto, donde se describe el giro de la empresa así como la situación actual y procesos de ensamble que toma manufacturar los productos. De la misma manera se desarrollan las partes de planteamiento del problema, justificación, objetivos e hipótesis. La revisión de la literatura es descrita en el Capítulo 2 (Marco Teórico). En dicho capítulo se da a conocer que es la tecnología BGA, que tipos existen y sobre todo los defectos más comunes encontrados en la industria.

En el Capítulo 3 se describe la Metodología donde se documentan de una manera muy general las actividades realizadas para llegar a la causa raíz del problema, siguiendo los pasos planteados en la metodología DMAIC: Definir, Medir, Analizar, Incrementar y Controlar. En el Capítulo 4 se expone a detalle el desarrollo de cada una de las actividades realizadas de las fases de DMAIC así como los resultados de las evaluaciones realizadas.

Finalmente, en el Capítulo 4 se listan las conclusiones de los datos que se obtuvieron durante el desarrollo de este proyecto así como las recomendaciones para casos futuros.

Capítulo 1: Introducción

Antecedentes

Skyworks Solutions Inc, es una empresa de reconocimiento mundial que ofrece servicios de ingeniería, manufactura y diseño de semiconductores para aplicaciones inalámbricas tales como teléfonos inteligentes, tabletas electrónicas y otros dispositivos móviles. En la planta ubicada en Mexicali, Baja California, se ensamblan diversos productos como *switches*, antenas, amplificadores de bajo ruido, amplificadores de potencia, entre otros.

Para garantizar que el producto terminado funciona correctamente con base a los requerimientos del cliente, todo el material ensamblado debe ser probado eléctricamente antes de ser empaquetado y enviado. Entre los parámetros de prueba más comunes se encuentran: ganancia, potencia, corriente, eficiencia, armónicos, aislamiento, entre otros.

Dado que la planta de Skyworks Mexicali está enfocada al ensamble y prueba de productos, es muy importante mantener niveles bajos de *scrap* (desperdicios) en los productos que son más costosos producir. Por ello, los modos de falla son revisados de manera periódica y se realiza un análisis de causa raíz para determinar cuál defecto podría estar relacionado a ellos. Una vez encontrada la causa del problema, se proponen mejoras al proceso para incrementar el rendimiento eléctrico (conocido en inglés como *yield*).

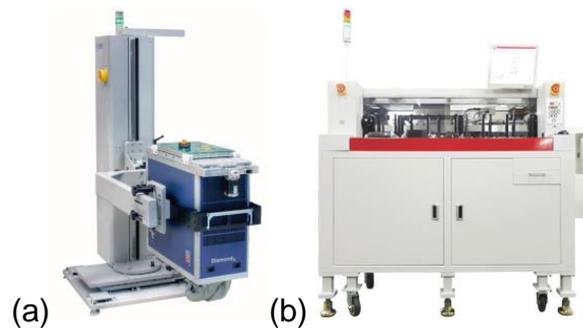
En el mes de Mayo del 2017 se lanzaron a producción masiva productos que cuentan con una nueva tecnología llamada BGA, *Ball Grid Array* por sus siglas en inglés. Esta tecnología es ampliamente utilizada en circuitos integrados, consiste en una matriz de esferas de soldadura que se sitúan en la parte inferior del PCB, es común en microprocesadores que cuentan con una gran cantidad de terminales, ver Figura 1. Tiene como ventaja principal la disminución en el tamaño del producto para que el espacio sobrante pueda ser aprovechado para otras aplicaciones en el teléfono celular, por ejemplo, espacio para una batería más grande.

Durante los meses de Diciembre 2017 y Enero 2018 hubo un incremento en las fallas de pruebas de corriente y continuidad en los productos BGA que ensambla la compañía, estos parámetros son: VDD_VIO cuya unidad es micro amper (uA), y CONT_VIO que es una medición de voltaje (v).



Figura 1. Procesador Intel Pentium MMX con tecnología BGA. Fuente: obtenida de https://es.wikipedia.org/wiki/Ball_Grid_Array

El parámetro VDD_VIO mide la corriente que es consumida por el producto cuando se encuentra en estado de reposo (simulando cuando el teléfono no está en uso), por lo que una lectura de corriente alta se traduce a menor tiempo de batería en el celular. El parámetro CONT_VIO es de continuidad, este se realiza para verificar que durante el momento en el que se lleva a cabo la prueba eléctrica en la probadora (*tester*) la pieza está haciendo contacto con las partes del hardware que son la interfaz entre la pieza a probar y los instrumentos de medición, en la Figura 2 se presentan los dos elementos principales.



*Figura 2 (a) Probadora (*tester*). Imagen obtenida de ltxc.com (b) Manejadora (*handler*). Fuente: Imágenes obtenidas de www.genesem.com*

La probadora o *tester* se encuentra equipada con los instrumentos de medición para realizar la prueba eléctrica. La manejadora o *handler* se encarga de transportar las piezas al sitio de prueba y clasificar el material a la salida en piezas buenas o rechazos.

El elemento que sirve de interfaz entre la manejadora y la *tester* es el *fixture*. Este es un dispositivo electrónico compuesto principalmente por PCB, socket (ver Figura 3), conectores, cables de DC y RF. Cada producto en Skyworks cuenta con su propio diseño en *fixture* ya que se debe ajustar al tamaño del producto, y se debe ser capaz de realizar las pruebas de voltaje, corriente y de radiofrecuencia para garantizar el funcionamiento correcto conforme a las especificaciones del cliente.

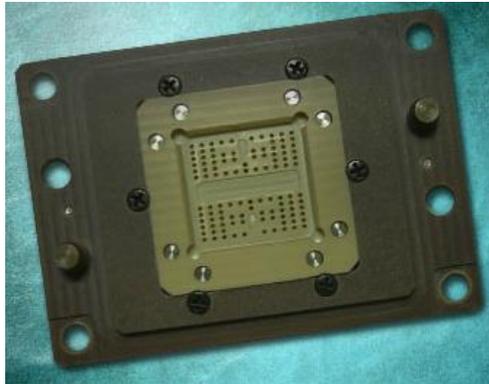


Figura 3. Ejemplo de un socket. Fuente: Imagen obtenida de www.iwinsn.com

El proceso de ensamble de productos BGA actuales en Skyworks

En la Figura 4 se ilustran las principales etapas en el proceso de ensamble de los productos con tecnología BGA, estas se describen de manera general en las siguientes secciones.

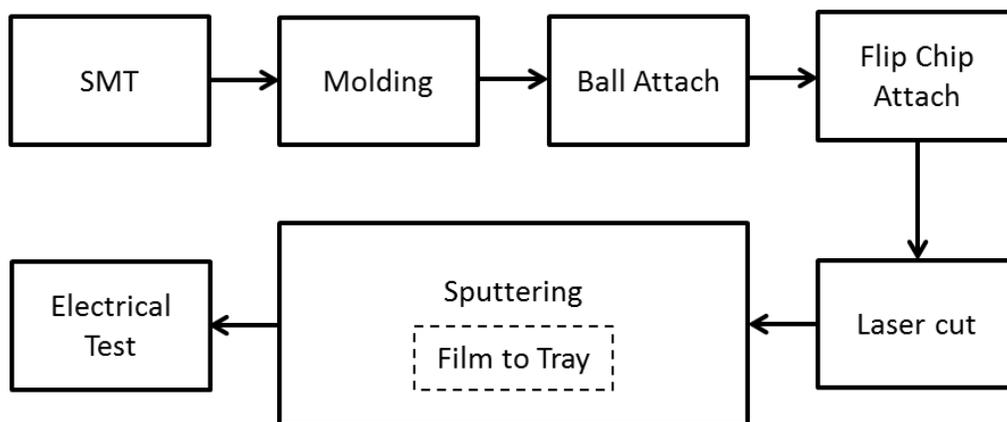


Figura 4. Proceso de ensamble de productos BGA en Skyworks Solutions. Elaboración propia.

SMT

Conocido como *Surface Mount Technology* por sus siglas en inglés, es un método para producir circuitos electrónicos en el cual los componentes van montados directamente en la superficie de los circuitos impresos o PCB (*Printed Circuit Board*). Los componentes más comunes ensamblados en esta etapa son capacitores, bobinas, resistencias, en este paso el material se encuentra en tiras.

Molding

Molding o moldeo, es el proceso de encapsular componentes en un material plástico o conocido en inglés como *molding compound* para la protección de los elementos que anteriormente fueron ensamblados en la etapa de SMT.

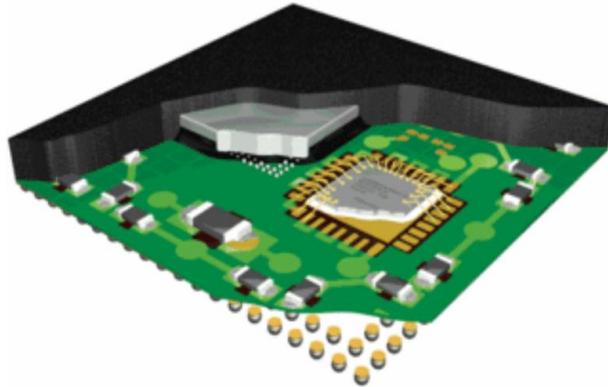


Figura 5. Microcircuito, componentes internos y molding compound. Fuente: Imagen obtenida de <http://electroi.com/blog/2007/09/molding-transforms-to-meet-advanced-market-requirements/>

Ball attach

Proceso ilustrado en la Figura 6 donde las esferas de soldadura son unidas a las pistas del PCB del producto.

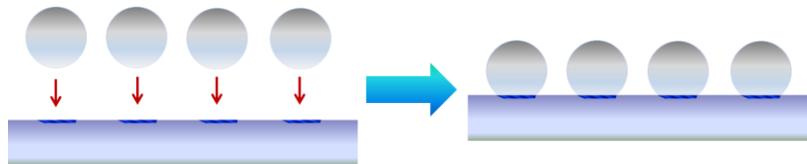


Figura 6. Vista transversal que ilustra el proceso de Ball Attach. Elaboración propia.

Flip Chip Attach

En los productos con tecnología BGA que Skyworks Solutions Inc. produce actualmente, el dado es ensamblado en la parte inferior del paquete, por lo que este se

encuentra expuesto, ver Figura 7. Es en esta etapa donde se realiza este procedimiento.

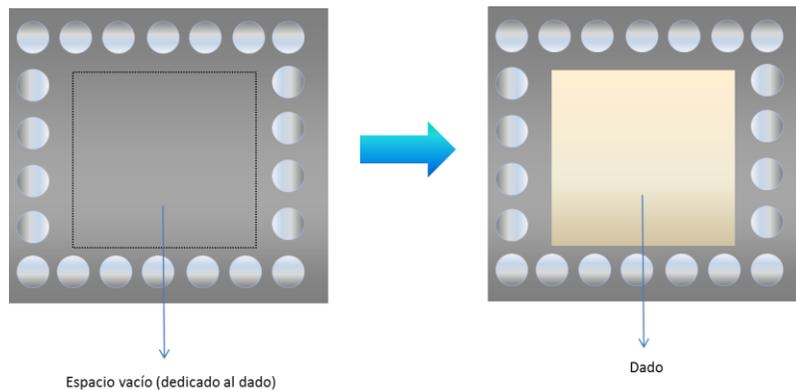


Figura 7. Vista inferior del Producto BGA con dado expuesto. Elaboración propia.

Laser cut

En este proceso el material que previamente está en tiras es cortado para ahora manejar piezas individuales del producto, en la Figura 8 se muestra un ejemplo de esta tecnología de la empresa *Machine Services*.

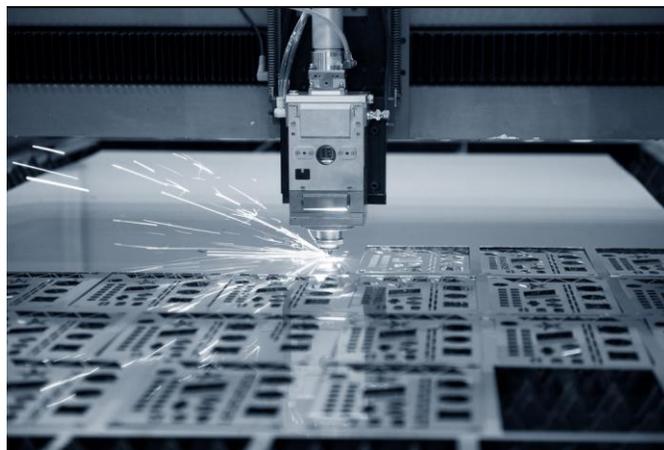


Figura 8. Ilustración de un proceso de corte con tecnología láser. Fuente: Imagen obtenida de http://machiningservicesinc.com/wp-content/uploads/2014/07/Laser_cutting.jpg

Sputtering

Los productos BGA de Skyworks también requieren que una capa de material con propiedades metálicas cubra todo el paquete. Esto tiene como ventaja aislar señales externas que pueden ocasionar ruido en las señales de transmisión.

En este proceso, las piezas previamente cortadas, se sitúan en una plancha de metal donde luego son rociadas con un líquido con propiedades metálicas que debe cubrir todas las caras del paquete exceptuando la parte inferior debido a las bolas de soldadura.

Film to Tray

Este es un subproceso parte de *Sputtering*. Durante esta etapa todas las unidades individuales son colocadas en charolas, ver Figura 9.

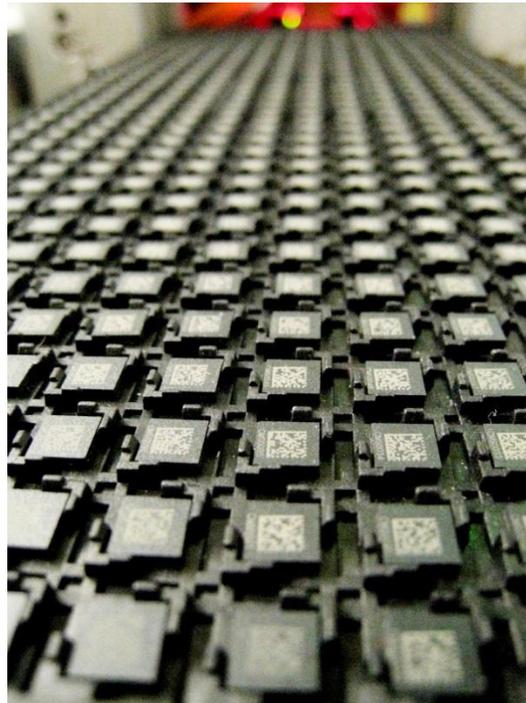


Figura 9. Material en charola, listo para prueba eléctrica en ATE. Fuente: Imagen obtenida de <http://www.cmslaser.com/industrial-applications-for-lasers/electronics>

Electrical Test

En esta etapa el material ensamblado es probado eléctricamente para asegurar que funcione correctamente y cumpla con los requerimientos del cliente. Es aquí donde se detectan defectos que no pudieron ser segregados en las etapas de ensamble, defectos comunes son: puentes de soldadura (defecto originado en SMT), soldadura derretida (defecto originado en moldeo), alambres dañados, entre otros.

Justificación

El presente trabajo de investigación busca reducir el índice de rechazos por fallas de VDD_VIO y CONT_VIO en los productos con tecnología BGA que Skyworks Solutions manufactura, prueba y vende hasta el momento. Esto beneficiará las ganancias de la empresa ya que el *yield* de dichos productos por consecuencia aumentará.

Además, esta investigación servirá como base para identificar la causa raíz del problema ya que a mediados del 2018, Skyworks Solutions tiene planeado lanzar al mercado siete nuevos productos con tecnología BGA, por lo que definir cuáles deben ser los controles necesarios a aplicar, ayudará a evitar situaciones que resultan perjudiciales para la producción, tales como bajo OEE, material detenido, retrasos en los envíos al cliente, entre otros.

Planteamiento del problema

En el área de prueba eléctrica de la empresa Skyworks Mexicali B. C., se registró que para el producto “*DRx LNA*” de tecnología BGA, el porcentaje de rechazos por parámetros de corriente y continuidad subieron hasta 1.62% y 2.40% respectivamente en el mes de Enero 2018, generando pérdidas de hasta \$ 173 mil dólares.

Preguntas de investigación

El problema planteado lleva a la siguiente interrogante:

¿Cómo se puede disminuir el índice de rechazos por fallas de corriente y continuidad en el producto *DRx LNA* de tecnología BGA?

Sin embargo, primero se deberá realizar una investigación que ayude a solucionar las siguientes cuestiones:

- ¿Cuáles son las principales causas que ocasionan un alto índice de rechazos en pruebas de corriente y continuidad en el producto *DRx LNA* de tecnología BGA?
- ¿El problema está relacionado a la causa del proceso o al desempeño del material por sí mismo?

- Si resulta que el proceso de ensamble es el principal contribuidor al alto índice de rechazos, ¿Cuáles son los elementos que ocasionan el problema y como se pueden controlar? ¿Cuáles son los equipos en los que se procesa el material en cada etapa de ensamble?
- ¿De qué manera influyen los componentes internos en el desempeño de productos BGA?

Objetivo

Identificar las variables que afectan a las pruebas de corriente VDD_VIO y continuidad CONT_VIO en el producto *DRx LNA* de Skyworks Solutions con tecnología BGA y proponer medidas de control para reducir el *scrap*.

Para ello, se plantean los siguientes objetivos específicos:

- Conocer las etapas del proceso de ensamble que provocan mayor variación en parámetros de corriente y continuidad para el producto *DRx LNA* de tecnología BGA.
- Proponer un método de control de las variables críticas del proceso de ensamble y prueba eléctrica que provocan mayor variación a parámetros corriente y continuidad en el producto *DRx LNA* de tecnología BGA.

Hipótesis

1. Las fallas de CONT_VIO están altamente relacionadas al pobre contacto con el socket ya sea por contaminación en el arreglo de esferas o en el socket mismo.
2. El proceso de ensamble que contribuye más a que el material se encuentre contaminado es *Conformal Shielding*.
3. Las fallas de VDD_VIO están relacionadas al desempeño eléctrico del amplificador interno del producto.
4. Las bolas de soldadura del arreglo de esferas se encuentran dañadas, por lo que al realizar la prueba eléctrica, no hay contacto con el *socket* y provocan fallas de VDD_VIO y CONT_VIO.

Capítulo 2: Marco Teórico

La Tecnología BGA (Ball Grid Array)

La industria electrónica se ha desarrollado con rapidez en los últimos años gracias a la industria de semiconductores, relacionado principalmente a la gran demanda de productos de uso personal como teléfonos inteligentes, *tablets* y computadoras, donde se demandan altos niveles de producción de circuitos electrónicos que cumplan con con alta velocidad de procesamiento, bajo consumo de potencia así como pequeños y delgados sea posible el tamaño.

El término PKG es utilizado por Yoshiro Nakamura y Shigeki Katogi en su artículo “*Technology Trends and Future History of Semiconductor Packaging Substrate Material*” publicado en la página web oficial de *Hitachi Chemical* para referirse al encapsulado que contiene uno o más componentes semiconductores que sirve para proteger los elementos internos del chip, tiene también los pines o terminales de contacto de los puertos que se usan para conectar el dispositivo con otros. El termino PKG es una abreviación de la palabra *package* en inglés (Oxford Learner's Dictionaries), que en español se refiere al encapsulado.

Entre los PKG o encapsulados más conocidos se encuentran: DIP (*Dual In-line Package*), QFP (*Quad Flat Package*) y BGA. En la Figura 10 se ilustran dos productos DIP y QFP, mientras que en la Figura 1 se muestra el BGA.

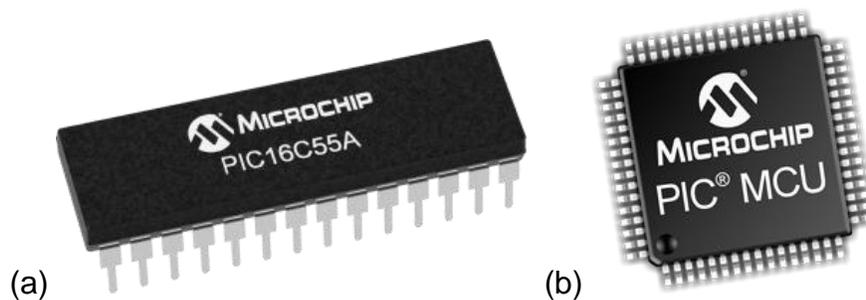


Figura 10. (a) *Dual In-line Package* (b) *Quad Flat Pack*. Fuente: Imágenes obtenidas de www.microchip.com

Las tecnologías de encapsulado han crecido con el desarrollo de nuevas aplicaciones que requieren de un mayor número de terminales (más pines) y chips más

pequeños y delgados. En la Figura 11 se muestra la tendencia. En el encapsulado tipo DIP las terminales son insertadas en agujeros del tablero electrónicos y luego son soldadas. Los encapsulados tipo QFP son utilizados en montajes superficiales en donde sus conectores se extienden a los cuatro lados del paquete. Las terminales de este tipo de encapsulados son soldadas en las pistas de un circuito impreso. Después vienen los encapsulados tipo BGA cuya ventaja principal es que manejan una mayor cantidad de puertos para aplicaciones más complejas ya que aprovechan el área debajo del encapsulado y no sus periféricos como en QFP.

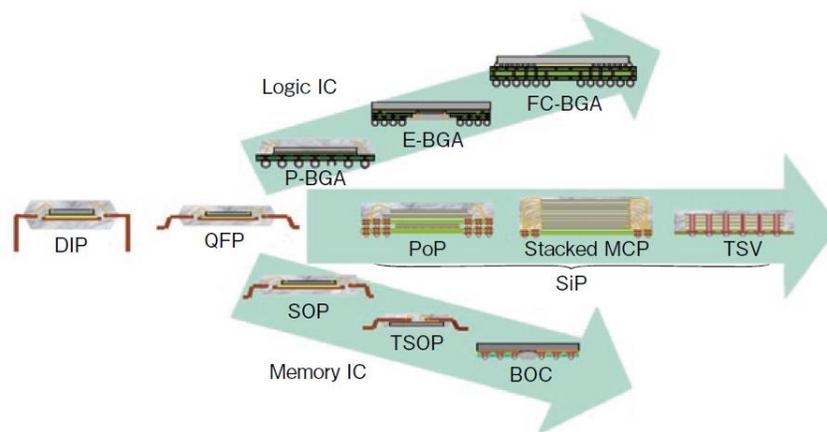


Figura 11. Tendencias en los paquetes de semiconductores. Fuente: Imagen obtenida de *Technology Trends and Future History of Semiconductor Packaging Substrate Material*

La tendencia en el mercado a la relación entre miniaturización y alto desempeño, tiene como resultado un incremento en la demanda de encapsulados más pequeños y ligeros que cuenten con un alto número de terminales o pines. En los lineamientos desarrollados por DELTA (*Danish Electronics, Lights and Acoustics*), IVF (*The Swedish Institute of Production Engineering Research*), SINTEF Noruega (Fundación para la Investigación Industrial y Tecnológica por sus siglas en Noruego), y la VTT (*Technical Research Center of Finland*) en “*The Nordic Electronics Packaging Guideline*” se resaltan las diferencias más significativas entre los encapsulados QFP y los diferentes tipos de BGA.

En la Figura 12 se ilustran los diferentes tamaños y cantidad de puertos I/O (*Input Output*, por sus siglas en inglés) de los encapsulados QFP y BGA, en donde se puede verificar que para aplicaciones que requieren una mayor cantidad de entradas y

salidas el tamaño de los paquetes QFP es considerablemente mayor que la de un BGA. Por ejemplo, un producto QFP con 160 pines y un *pitch* de 0.65mm mide 28x28 mm, mientras que un PBGA de tamaño 27x27 tiene 225 pines y un *pitch* de 1.5mm. La distancia entre las esferas de soldadura adyacentes es aproximadamente 0.8mm.

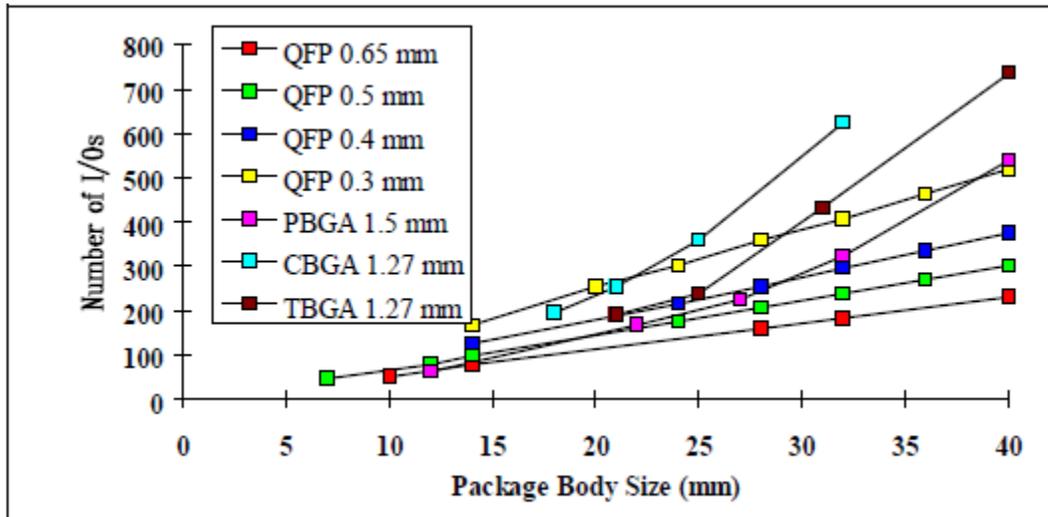


Figura 12. Comparación en tamaño y cantidad de puertos de los encapsulados QFP y BGA. Imagen obtenida de <http://extra.ivf.se/ngl/E-BGA/ChapterE1.htm#E1>

Algunos de los beneficios de la tecnología BGA son los siguientes:

- Diseño robusto
- Alineamiento de las terminales (esferas de soldadura) con los *pads* de un circuito impreso
- Tamaño pequeño.

Tipo de encapsulado

Según Licari y Enlow (1998) los encapsulados QFP y BGA están disponibles en materiales como cerámica, metal o plástico. Los Autores Cluff y Pecht (1999) afirman que más del 98% de todos los circuitos integrados tenían un encapsulado tipo plástico en 1992.

Encapsulado Plástico

En los circuitos con encapsulado plástico, el chip está cubierto por un polímero, usualmente referido como el *encapsulante*. Este encapsulante es de un material

aislante que protege a los componentes electrónicos del contacto con el mundo exterior.

Encapsulados Herméticos: Metal y Cerámica

Los encapsulados herméticos han sido usados predominantemente para aplicaciones de alta potencia donde se requiere que el calor sea disipado del dispositivo. Los encapsulados metálicos son típicamente utilizados en circuitos integrados pequeños con pocos pines y en aplicaciones que requieren blindaje electromagnético.

Un encapsulado se considera hermético si tiene un porcentaje de fuga mínimo (razón a la cual los gases pueden difundirse hacia o fuera del paquete).

Estándares

Según Lambert (2013) los estándares que debe seguir la industria al diseñar productos con tecnología BGA son los siguientes:

- Tipo del encapsulado BGA.
- Distancia de paso (*fine pitch* en inglés).
- Tamaño del dado.
- Distancia entre cada esfera de soldadura.
- Patrón del arreglo de esferas de soldadura.
- Contorno del encapsulado BGA.
- Relaciones entre el tamaño de las esferas de soldadura.
- Coplanaridad.

Defectos

En la Figura 13 se muestran las zonas en las que es más probable que un defecto se presente y que impida que el circuito integrado funcione correctamente ocasionando quejas de cliente.

- Locación 1. Falla entre el sustrato de componente y el *pad*.
- Locación 2. Falla entre el sustrato y la esfera de soldadura.
- Locación 3. Falla entre la esfera de soldadura, típicamente vista luego de ciclos térmicos.
- Locación 4. Falla entre la esfera de soldadura y el *pad*.

- Locación 5. Falla entre el pad y el PCB.

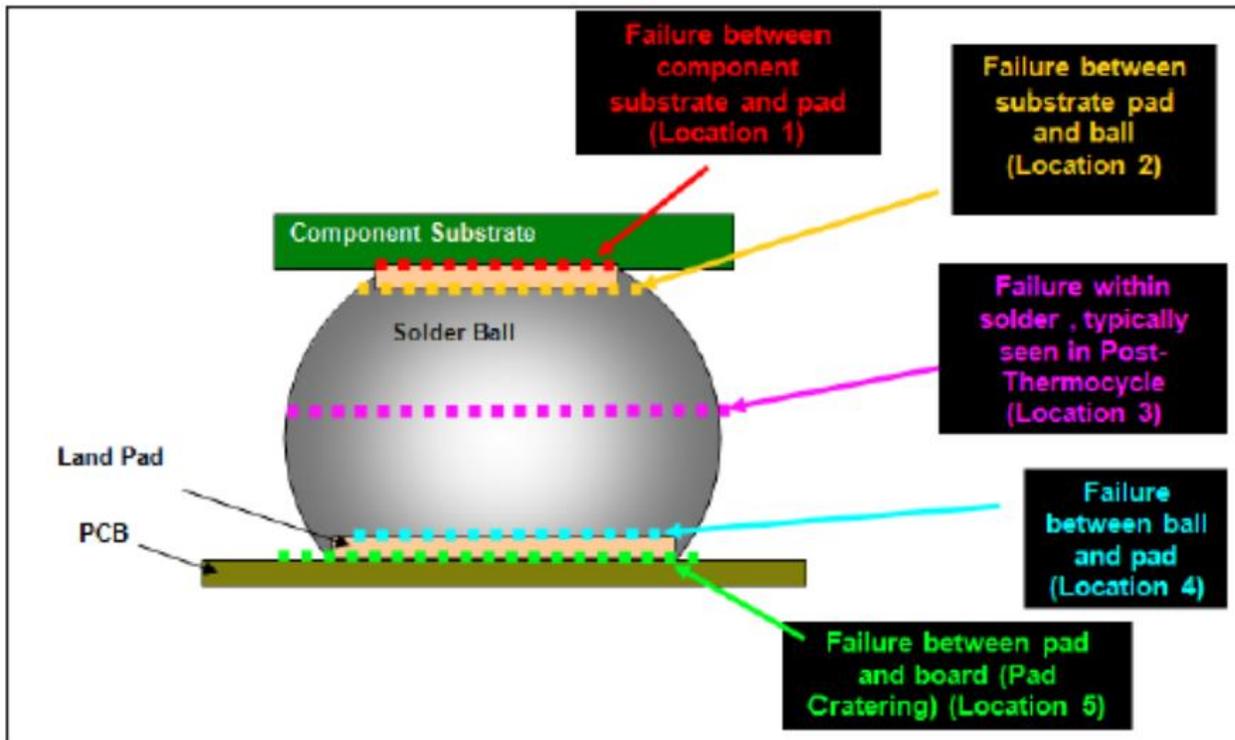


Figura 13. Principales zonas de falla en uniones tipo BGA. Obtenida de Lambert (2013).

Algunos de los defectos físicos en las esferas de soldadura que se ven con frecuencia en la industria de los semiconductores son: puentes de soldadura, esferas perdidas, vacíos en la soldadura y conexiones abiertas o *crack*.

Sumimoto et al (2002) trabajaron en un método de inspección de rayos x para detectar defectos de puentes de soldadura (ya que este es uno de los principales defectos vistos en la manufactura). El alcance de su investigación consistió en definir las características de un puente de soldadura mediante procesamiento de imágenes. Encontraron que midiendo la redondez de las esferas pudieron determinar interconexión entre ellas.

Otro de los principales defectos que se han observado en la tecnología BGA es *Non-Wet Open*, definido por Ross (2011) como “*incomplete wetting of the solder to the bump pads*” traducido al español como: humectación incompleta de la soldadura a los pads de los *bumps*. Este defecto se genera en el proceso de SMT cuando la unión de la bola de soldadura entre en BGA y el PCB no se forma. En la Figura 14 se muestra el

defecto *Non-wet Open*, en ella se puede ver que la primer imagen de la izquierda muestra el contacto correcto entre la esfera de soldadura y el pad del tablero, mientras que la segunda y tercer imagen muestra un defecto (falla en el componente).

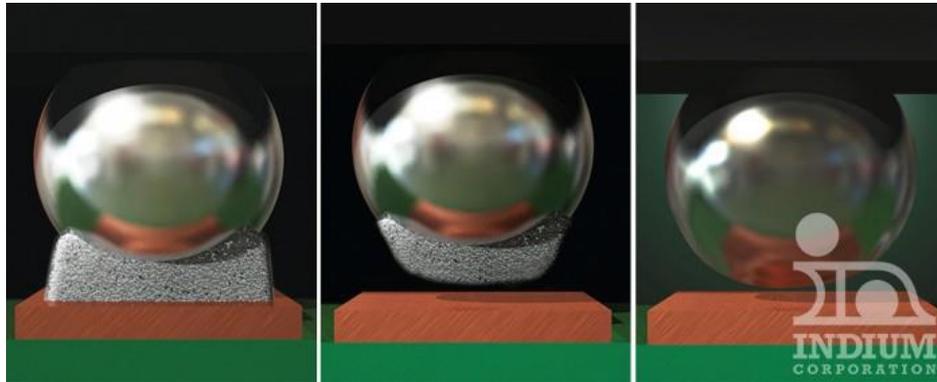


Figura 14. Defecto *Non-Wet Open*. Fuente: obtenida de Bastow (2016).

Said, Bennet, Toth, Karam y Pettinato (2010) en su artículo “*Non-Wet Solder Joint Detection in Processor Sockets and BGA Assemblies*”, trabajaron en un sistema de visión para detectar defectos *non-wet open*. El método hizo uso de las técnicas de procesamiento de imágenes: ROI (*Region of Interest*), segmentación, extracción de patrones, además de clasificación y mapeo automático. El índice de detección del algoritmo fue de 95.8%, a diferencia de otros con capacidad de 43% y 75%.

En el artículo “*Investigation on Cracked Solder Ball of BGA Component*” los autores M. Cai, B. Y. Wu, D. G. Yang, D. J. Xie, Y. Tao, X. X. Su y F. Zhou trabajaron en el análisis de causa raíz de para el defecto *solder ball cracked* que presentó un 12.5% de porcentaje de fallas luego de pruebas de confiabilidad. Encontraron que el componente se dañaba fácilmente durante pruebas de estrés mecánico aunque todos sus parámetros estuvieran dentro de especificación. Se propusieron dos medidas de mejora, la primera fue cambiar el diseño de la esfera de soldadura sin embargo la producción del producto requirió medidas de solución más rápidas por lo cual optaron por una segunda opción: incorporar un proceso de *under-fill* o *edge bonding* al ensamble.

Under fill es una técnica de ensamble de semiconductores que provee protección y mejora la confiabilidad electrónica del paquete. Consiste en un sellado

adhesivo no conductivo que llena cada espacio debajo del componente por fuerzas capilares (Zhou, 2008). En la técnica de *edge bonding* solo el perímetro del componente es recubierto usando un adhesivo de mayor viscosidad (Akbari, Nourani y Spelt, 2016), Ver Figura 15.

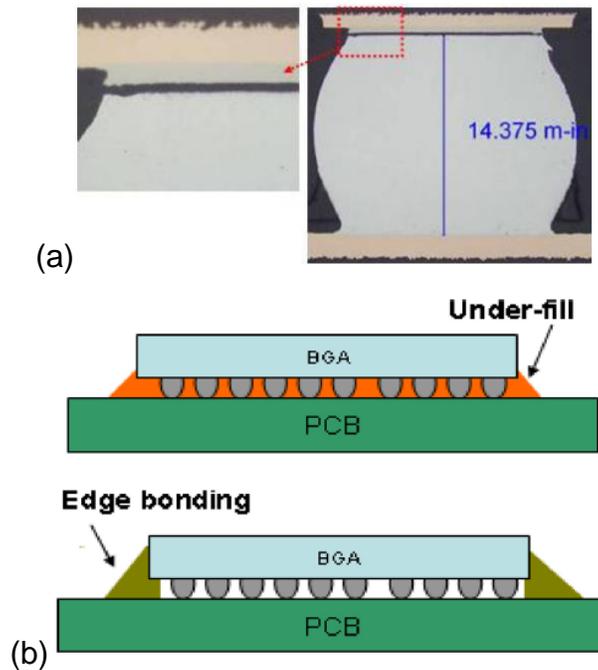


Figura 15. (a) Corte transversal que muestra defecto de solder ball cracked. (b) Diagramas de under-fill y edge bonding. Fuente: Imágenes obtenidas de Cai et al (2011).

Capítulo 3: Metodología

Diseño de la investigación

El presente proyecto de aplicación se basó en la metodología *Six Sigma* para la solución de la problemática planteada en el Capítulo 1. Esta es la metodología oficial de solución a problemas que Skyworks Solutions exhorta a sus empleados a poner en práctica en su ámbito laboral. El autor Burton (2011) expone que para que una organización sea exitosa ésta tiene que comprometerse y ser agresiva en las estrategias de mejora al largo plazo. Las empresas tienen que construir organizaciones que proactivamente busquen y actúen a favor de la mejora continua para así evolucionar hacia un estado de excelencia.

Six Sigma es una metodología utilizada ampliamente en la industria, es definida por Munro, Mario, Nawaz, Ramu y Zrymiak (2007) como un proceso y disciplina estructurada enfocada a la mejora continua y solución de problemas, diseñada para entregar productos y servicios perfectos regularmente.

En el Capítulo 4 se desarrollan cada una de las fases de la metodología *Six Sigma DMAIC*: Definir, Medir, Analizar, Incrementar y Controlar. En dicho capítulo se describen detalladamente las actividades que se realizaron durante el primer cuarto del año 2018 para poder reducir la variabilidad en el proceso así como los resultados de las evaluaciones realizadas.

Variables a medir

A continuación se listan las variables que fueron tomadas en cuenta para la recolección de los datos que fueron tomados durante todas las fases de la investigación.

- Indicadores discretos.
 - Yield. Relación entre volumen de salida (piezas buenas) entre volumen de entrada (cantidad inicial del lote)
 - Porcentaje de fallas. Relación de la cantidad de fallas de los parámetros (VDD_VIO y CONT_VIO) entre el volumen de entrada o piezas probadas

- Indicadores continuos. Son los datos que se obtienen de las mediciones eléctricas de los parámetros VDD_VIO (micro Amper) y CONT_VIO (Voltaje) que describen el funcionamiento de la pieza.

Muestras

Para la recolección y registro de datos, se realizó una muestra aleatoria de 100 lotes por semana probados durante la etapa de prueba eléctrica. La semana fue tomada empezando en domingo y terminando en sábado. El tamaño promedio de los lotes es de 10,850 piezas.

Para la fase Analizar, se llevaron muestras de fallas al laboratorio de al menos 3 lotes diferentes, con mínimo de 5 fallas serializadas por cada parámetro (VDD_VIO y CONT_VIO) y 1 pieza buena para referencia.

Para las evaluaciones realizadas durante las fases Analizar e Incrementar, la cantidad en la muestra de lotes fue de 3 a 5 gracias a los recursos proporcionados por la compañía.

Procedimiento

A continuación se resumen cada una de las etapas realizadas durante el desarrollo de este proyecto con base en la metodología *Six Sigma*.

1. **Definir.** Para evaluar la magnitud del problema, se realizó un análisis mensual de octubre 2017 a enero 2018 donde se llevó el registro sobre el porcentaje de fallas de CONT_VIO y VDD_VIO. En esta misma etapa se formó al equipo de trabajo y se identificaron a los *Stakeholders*.
2. **Medir.** Durante esta fase se realizaron paretos y distribuciones semanales que mostraron a los parámetros VDD_VIO y CONT_VIO como principales contribuyentes a la perdida de yield. Sin embargo, para cuestiones prácticas, solo los datos de los parámetros VDD_VIO y CONT_VIO fueron representados en una gráfica de líneas. Esta grafica sirvió como herramienta en la fase de Analizar para visualizar tendencias a través del tiempo.

3. **Analizar.** En esa fase el equipo de trabajo se reunió para discutir sobre las posibles causas que podrían provocar el problema, estas fueron representadas en un diagrama de pescado. Se acordó realizar una serie de actividades y evaluaciones para aprobar o refutar cada una de las posibles causas. Las actividades que más aportaron datos relevantes a la investigación fueron los análisis realizados en el laboratorio a muestras de fallas y el análisis de comunalidad entre los diversos procesos de ensamble. Gracias a estos resultados se identificó la etapa del proceso que era la raíz del problema.
4. **Incrementar.** Durante esta fase se trabajó con el equipo de procesos de ensamble para identificar qué factores o características de sus equipos estaban altamente relacionados a los datos obtenidos de la fase anterior. Se realizó un mapeo a las máquinas, donde se identificó un factor relevante que diferenciaba a los equipos que provenían de distintos proveedores. De acuerdo a los hallazgos encontrados, el equipo de ensamble en conjunto con el proveedor realizaron una propuesta de mejora. Con el propósito de validarla, se llevó a cabo una evaluación de 5 lotes para calificación. La evaluación consistió en tomar de forma aleatoria 5 lotes de producción, dividirlos por la mitad, y procesar cada una de esas mitades en los equipos de ambos proveedores. De esta manera se aseguró que el material procesado tenía las mismas condiciones de los procesos de ensamble anteriores. Una vez que el material fue probado, se tomaron los datos de la cantidad de fallas de VDD_VIO y CONT_VIO y se realizó una prueba de hipótesis de dos proporciones en Minitab para definir si la propuesta había sido efectiva.
5. **Controlar.** En esta última etapa se registra semanalmente el porcentaje de fallas de los parámetros VDD_VIO y CONT_VIO, y se asegura que dichos índices se mantengan bajos en semanas posteriores.

Capítulo 4: Desarrollo y Resultados

Six Sigma

Definir

Durante la primera fase de la metodología DMAIC se verificaron cuales habían sido los porcentajes correspondientes a las fallas de CONT_VIO y VDD_VIO desde el mes de Octubre del 2017. Esto ayudó a ubicar en el tiempo a partir de cuándo el problema comenzó a presentarse. En la Figura 16 se muestra que el porcentaje de fallas para ambas pruebas comenzó a crecer durante el mes de Diciembre. Durante el mes de Enero se presentó la mayor pérdida con 1.62% para VDD_VIO y 2.40% para CONT_VIO.

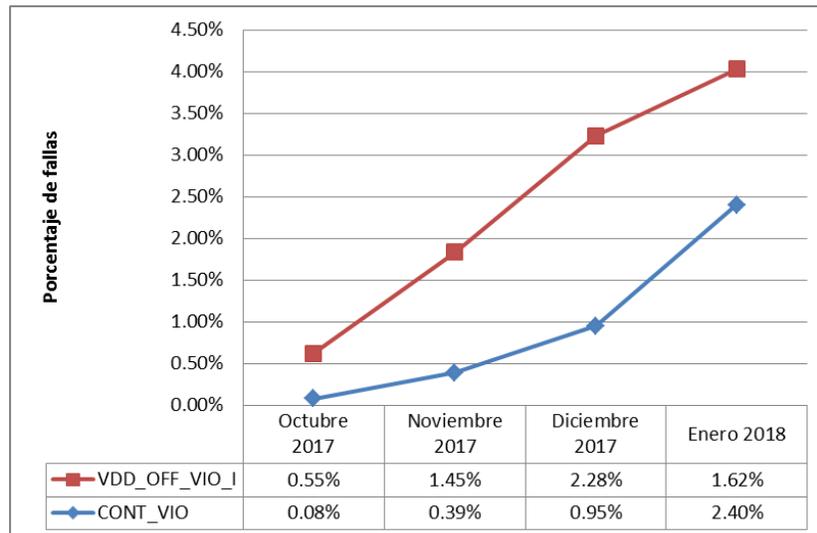


Figura 16. Comportamiento mensual de los parámetros VDD_VIO y CONT_VIO.

En la Tabla 1 se encuentra la pérdida monetaria en dólares que representó cada una de estas pruebas en su respectivo mes, siendo \$0.51 dólares el costo por unidad.

Periodo	Pérdidas económicas
Octubre 2017	\$ 48,354.31
Noviembre 2017	\$ 90,877.91
Diciembre 2017	\$ 67,373.60
Enero 2018	\$ 173,827.93

Tabla 1. Pérdida mensual en dólares por ambos parámetros.

El equipo de trabajo estuvo conformado de la siguiente manera:

- *Champion*: Zelman Hernandez. Director de Ingeniería.
- Líder: Alejandro Lizarraga. Supervisor.
- Miembros: Karen Cangas, Ilse Cervantes, Lariza Duarte, Francisco J. Lopez, todos son ingenieros de producto trabajando en el área de prueba eléctrica. Por parte de ensamble Sarai Ustoa se integró como ingeniero de procesos de *Conformal Shielding*.

En cuanto a *Stakeholders*, se identificó al director de producción de pruebas Daniel Murillo, ya que el tiempo máquina para realizar las evaluaciones depende en 100% de su autoridad. El equipo de producción se encarga de que no haya equipos detenidos porque afectan directamente las métricas de OEE.

Medir

Una vez que el problema ya fue evaluado y se determinó que el mes donde alcanzó su máximo pico fue Enero, se realizó un análisis tomando en cuenta las semanas más cercanas al inicio de este mes, los resultados se encuentran en la Figura 17.

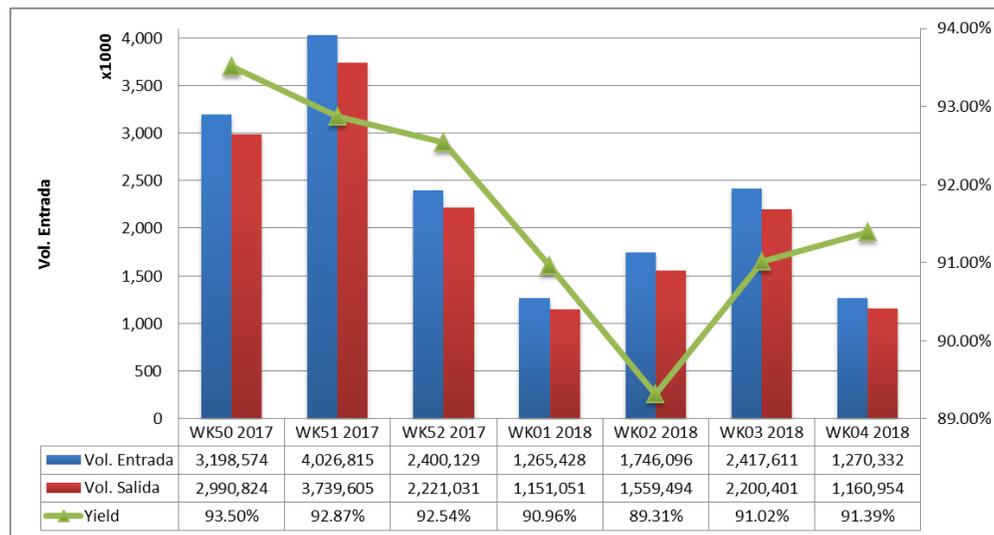


Figura 17. Comportamiento semanal del producto DRx LNA.

En la Figura 18 se muestra la tendencia semanal de las fallas de VDD_VIO y CONT_VIO mientras que en la Figura 19 se muestran los histogramas de dichas pruebas. En esta última figura se puede apreciar que los datos no siguen un

comportamiento normal ya que las distribuciones presentan una amplia dispersión en el límite superior.

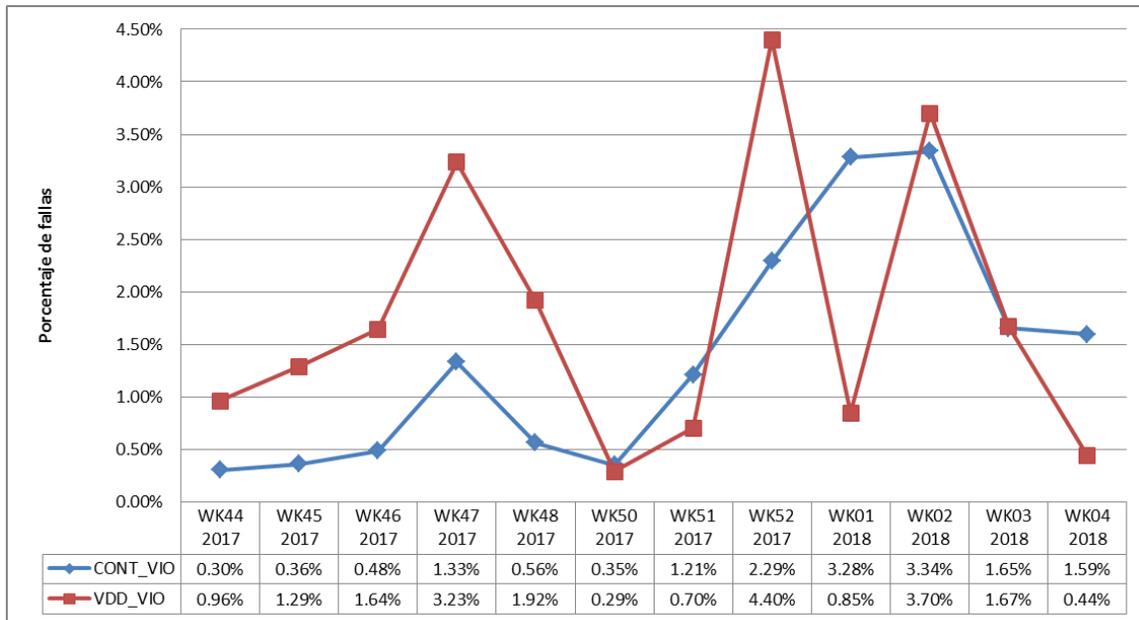


Figura 18. Pérdida de yield semanal por parámetro CONT_VIO y VDD_VIO.

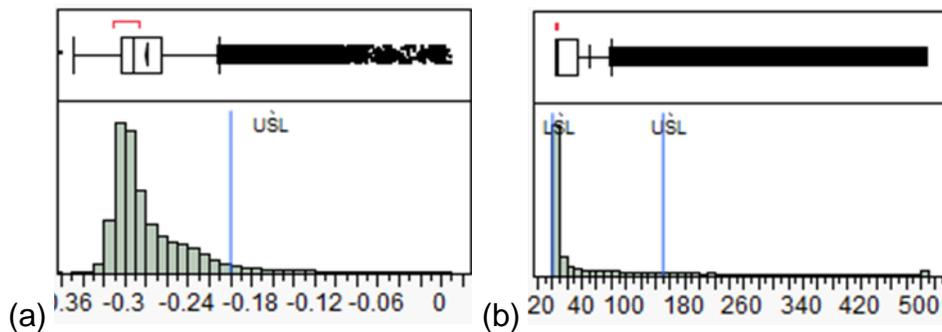


Figura 19. Histograma de la prueba (a) CONT_VIO y (b) VDD_VIO.

Analizar

En esta fase de la investigación se listaron las posibles causas que pueden provocar un alto índice de rechazos en parámetros de VDD_VIO y CONT_VIO (ver diagrama de pescado en Figura 20).

En la Tabla 2 se listan las actividades que se realizaron para validar a que causa se podía asignar el defecto de fallas de VDD_VIO y CONT_VIO. El desarrollo de cada una de las actividades se describe en las secciones posteriores.

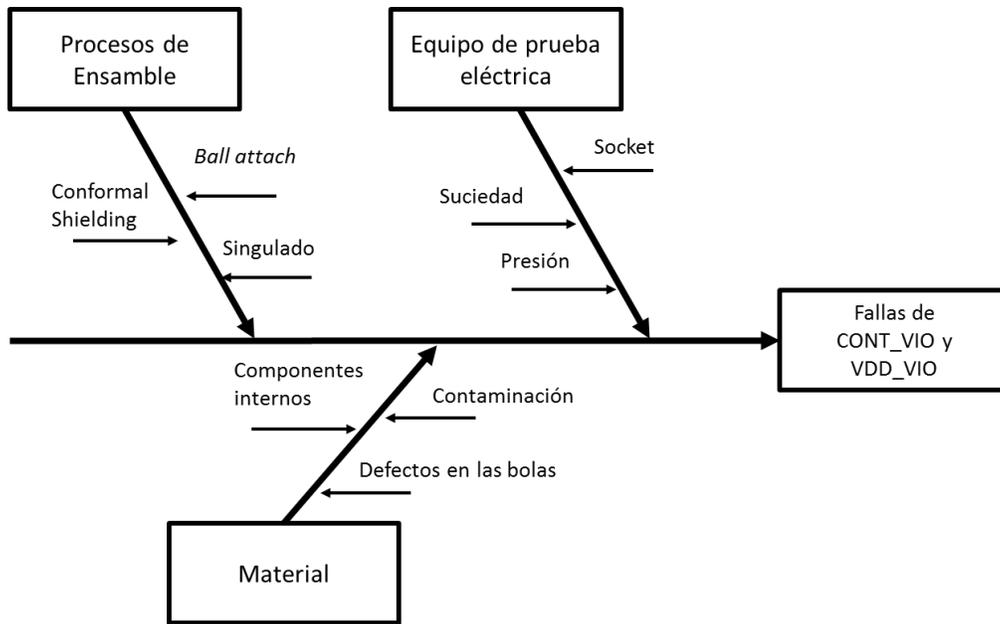


Figura 20. Diagrama de pescado.

Posible causa	Actividad
Equipo de prueba eléctrica	1.- Tomar un equipo de prueba con alto índice de fallas de CONT_VIO y VDD_VIO. 2.- Realizar cambio de sockets y comparar resultados antes y después.
Material	1.- Enviar muestra de fallas de CONT_VIO y VDD_VIO al laboratorio de Análisis de Fallas. 2.- Realizar inspección visual a piezas buenas y fallas en busca de daño en las esferas de soldadura. 3.- En caso de que las fallas resulten ser falsos rechazos realizar limpieza con alcohol a una muestra de falla y probarlas nuevamente.
Procesos de Ensamble	Presentar análisis de comunalidad de las distintas áreas de ensamble y prueba eléctrica tomando lotes buenos y malos para su comparación.

Tabla 2. Lista de actividades a realizar por cada posible causa.

Equipo de prueba eléctrica

Para la validación de esta posible causa se optó por realizar lo siguiente:

- Seleccionar un equipo de prueba con bajo yield, dar mantenimiento a la máquina (cambiar sockets por unos nuevos, verificar presión de la manejadora) y seguir probando material bajo las condiciones “mejoradas”

Sin embargo la teoría de que estas fallas se podrían estar ocasionando por las condiciones del equipo quedó descartada ya que no se mostró mejoría en la lectura de estas pruebas (ver Figura 21).

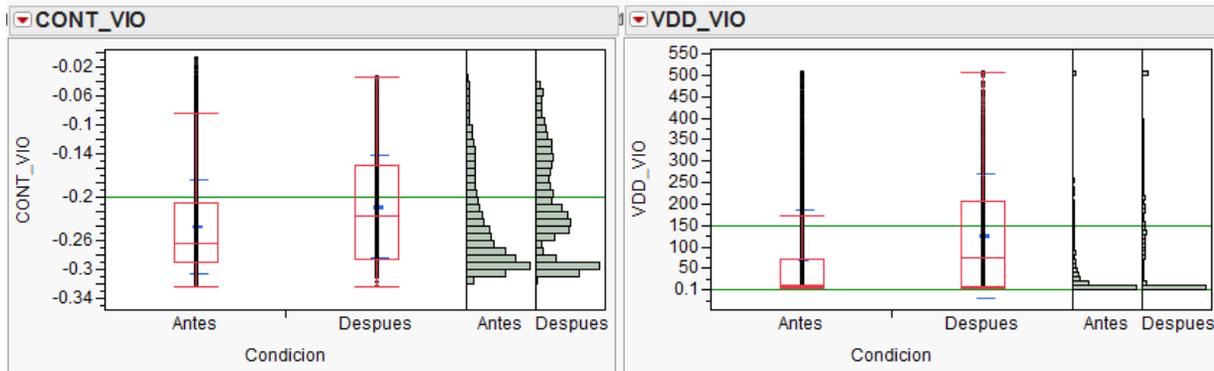


Figura 21. Histogramas de las pruebas CONT_VIO y VDD_VIO antes y después de brindar mantenimiento al equipo de prueba.

Material

Con el propósito de asegurar que las fallas de CONT_VIO y VDD_VIO están relacionadas al desempeño de algún componente interno, lo primero que se realizó fue un análisis en laboratorio a una muestra de piezas rechazadas. En la empresa se tiene por procedimiento que el mínimo de piezas que pueden ser enviadas al laboratorio de análisis de fallas es de 5 unidades.

Los resultados indicaron que las piezas eran falsos rechazos ya que pasaban las pruebas en el laboratorio. Siguiendo la línea de investigación de falsos rechazos, la siguiente teoría era que las piezas de los lotes estaban llegando contaminadas al área de prueba y por tal motivo no era posible hacer el correcto contacto para medir eléctricamente las piezas, ya que cuando se envían piezas al laboratorio de análisis de fallas, las piezas son soldadas en un tablero de evaluación, mientras que en ATE las piezas son probadas mediante una interfaz de hardware con el equipo, que es el *fixture* y sockets.

Nuevamente se envió otra muestra de fallas al laboratorio para que esta vez se analizaran cuáles eran los componentes de la contaminación. En la Figura 22 se muestran los resultados. Se encontró un alto contenido de Carbono, el cual no pertenecía a los componentes de la pintura de *Shielding* que recubre la pieza.

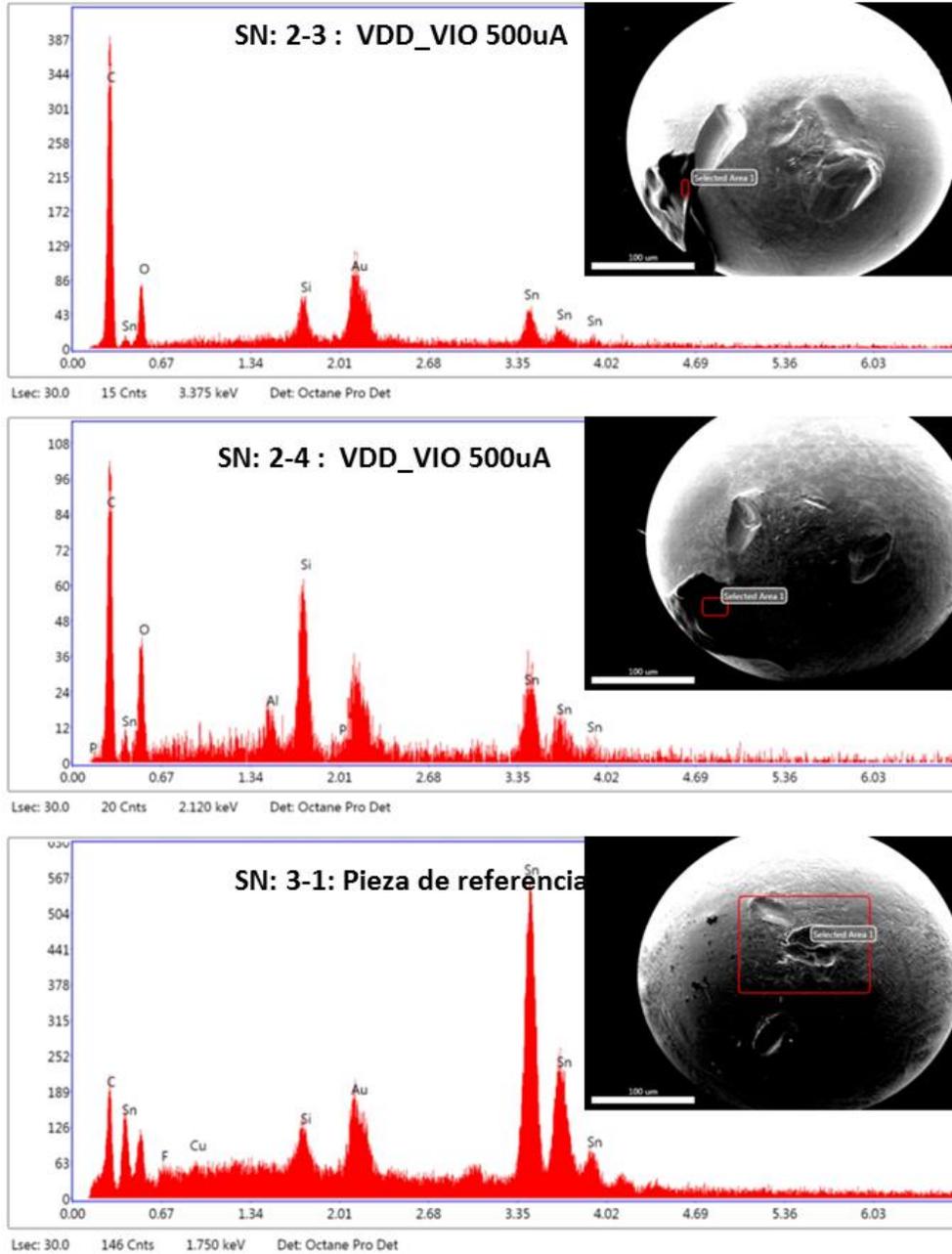


Figura 22. Resultados de EDX.

Dado que VDD_VIO es el parámetro con mayor porcentaje de pérdida, se tomó una muestra de 420 fallas de este parámetro, que luego fueron limpiadas manualmente con alcohol para remover cualquier tipo de residuos. La muestra fue probada por una segunda vez, se hizo una comparación entre los histogramas antes y después de la limpieza, en la Figura 23 se puede ver claramente la diferencia entre las dos. En la condición anterior el comportamiento eléctrico presentaba una distribución dispersa

hacia el límite superior con mediciones de hasta 500uA y una media de 252.113uA. Luego de realizar la limpieza la media bajó a 51.409uA, el porcentaje de fallas bajó de 57.14% a 4.09%, la desviación estándar se redujo de 145.597 a 43.746 (ver datos en Tabla 3).

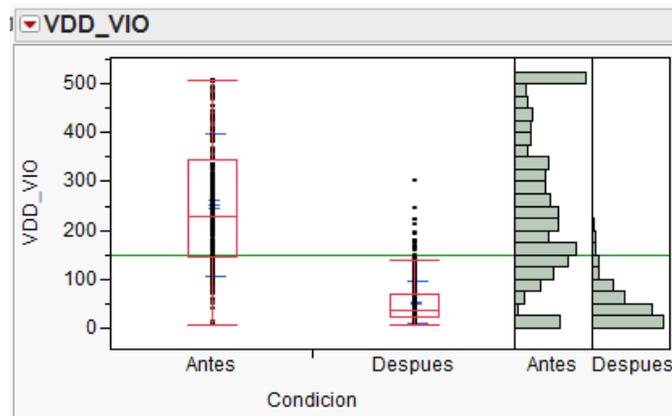


Figura 23. Comparación de las distribuciones de la prueba VDD_VIO antes y después de la limpieza en alcohol.

		VDD_VIO	
		Antes	Después
Lote 1	Porcentaje de fallas	57.14%	4.09%
	Desviación Estándar	145.597	43.746
	Media	252.113	51.409

Tabla 3. Datos estadísticos y porcentaje de fallas antes y después de la limpieza en alcohol.

Luego de validar con una muestra de 420 piezas que el problema de las fallas de CONT_VIO y VDD_VIO se debe a algún tipo de contaminación se tomó la decisión de realizar el mismo ejercicio en tres lotes de producción.

	Antes de la limpieza			Después de la limpieza		
	Yield	CONT_VIO	VDD_VIO	Yield	CONT_VIO	VDD_VIO
Lote 1	15.83%	27.37%	26.48%	73.46%	0.01%	0.04%
Lote 2	41.70%	23.18%	15.08%	76.41%	0.07%	0.00%
Lote 3	45.42%	3.13%	23.52%	78.76%	0.39%	0.04%

Tabla 4. Resultados eléctricos (yield, porcentaje de fallas) de tres lotes antes y después de realizar limpieza con alcohol.

La Tabla 4 muestra los resultados de realizar un procedimiento de limpieza automático en tres lotes de producción (con un total de 32,613 piezas), se observa que

para el Lote 1, el porcentaje de fallas de CONT_VIO se redujo de 27.37% a 0.01%. Sin embargo, el yield máximo que alcanzó uno de los lotes fue de 78.76%, teniendo como conclusión que no todas las piezas se podían recuperar ya que también fallaban otros parámetros después de las pruebas de continuidad y corriente. En la Figura 24 se encuentra la comparación grafica de comportamiento eléctrico antes y después de la limpieza, los datos estadísticos están reportados en la Tabla 5.

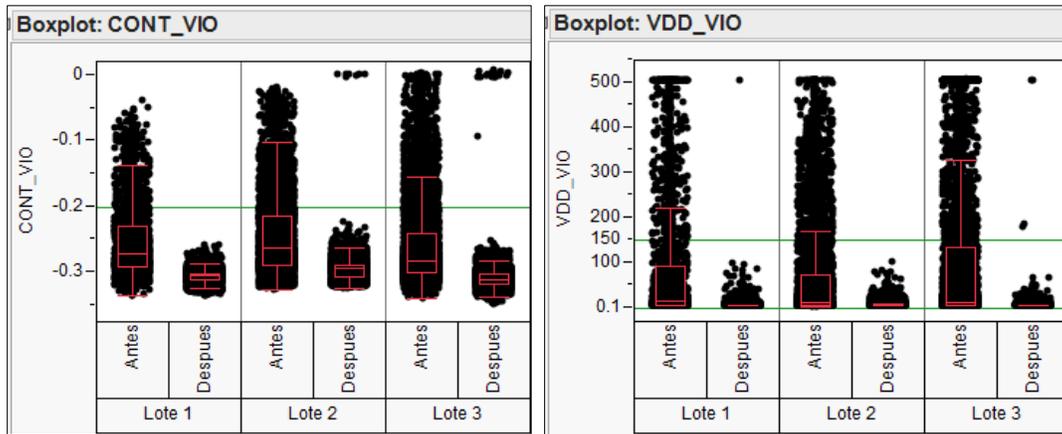


Figura 24. Boxplots de la prueba eléctrica de los parámetros CONT_VIO y VDD_VIO antes y después de la limpieza.

	Antes de la limpieza				Después de la limpieza			
	CONT_VIO		VDD_VIO		CONT_VIO		VDD_VIO	
	Media	Sigma	Media	Sigma	Media	Sigma	Media	Sigma
Lote 1	-0.25175	0.053812	85.2330	136.867	-0.3058	0.022810	5.6919	6.61226
Lote 2	-0.24503	0.058501	64.1280	104.689	-0.2946	0.015904	6.3698	3.92935
Lote 3	-0.25926	0.060392	118.68	186.614	-0.3088	0.025410	5.4107	7.68043

Tabla 5. Datos estadísticos de parámetros CONT_VIO y VDD_VIO antes y después de la limpieza.

Procesos de ensamble

Una vez que se concluyó que el factor de contaminación juega un papel importante en el desempeño eléctrico del producto DRx LNA, ya que genera falsos rechazos en las pruebas VDD_VIO y CONT_VIO, el siguiente paso fue realizar un análisis de comunalidad entre los distintos procesos de ensamble.

Para hacer este tipo de análisis se debe seleccionar una muestra de lotes con bajo porcentaje de fallas (lotes buenos) y lotes con un alto porcentaje (lotes malos)

para que de esta manera ser capaces de visualizar diferencias en las distintas etapas del proceso de ensamble que generan mayor cantidad de piezas rechazadas.

Este análisis indicó que en el proceso de *Film to Tray* había diferencias entre equipos que pertenecían a distintos proveedores. La gran parte de los lotes “malos” habían sido procesados en los equipos del Proveedor 2. En la Figura 25 (a) se representa de manera gráfica la diferencia entre los dos proveedores, cada punto representa el porcentaje de rechazos de un lote. En la Figura 25 (b) vemos que los equipos por los que se han procesado los lotes malos son los equipos *P2E26*, *P2E27* y *P2E31*.

Debido a la magnitud del problema que se estaba registrando en la etapa de prueba eléctrica, los equipos que pertenecían al proveedor 2 fueron puestos en cuarentena el día 15 de Enero para evitar que más lotes fueran procesados.

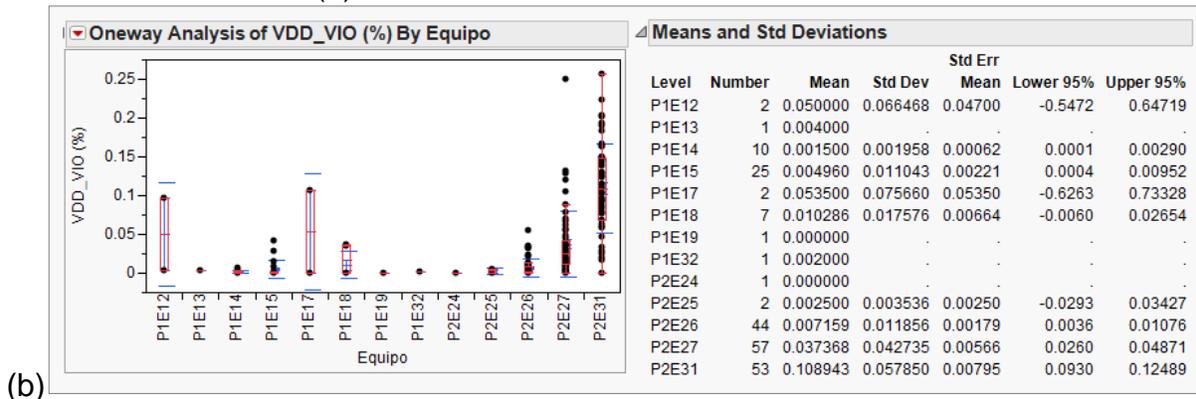
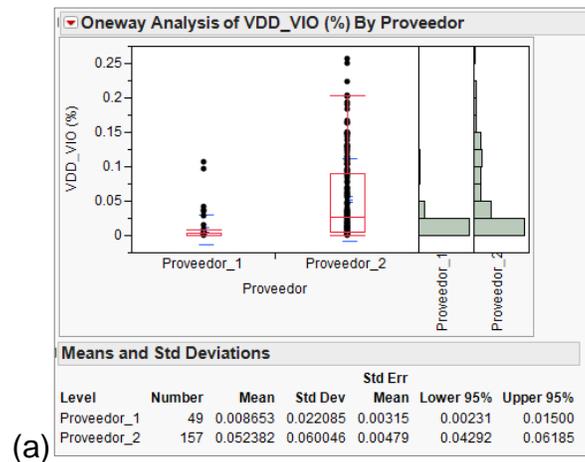


Figura 25. Resultados del análisis de comunalidad.

Incrementar

Una vez identificada la raíz del problema, los equipos de los distintos proveedores fueron inspeccionados para encontrar las diferencias que hacían que uno de ellos contaminara las bolas de soldadura. En resumen, el trabajo de los equipos de *Film to Tray* es el de transportar cada una de las piezas que ya habían pasado por el proceso de *Shielding* hacia las charolas, donde luego seguirían su flujo normal hasta llegar a la etapa de prueba eléctrica.

La principal diferencia que se encontró en los equipos del Proveedor 2 fue en el actuador que tomaba las piezas y las ponía en charolas. La pieza clave en este actuador se llama *rubber*, ahí era donde se estaban acumulando residuos de la goma que por desgaste se iban acumulando en las zonas que hacían contacto directo con las bolas de soldadura del producto ocasionando falsos rechazos. En la Figura 26 (a) se muestra el diagrama del *rubber* con el que se encontraba corriendo producción.

Se tuvo que rediseñar el *rubber* para evitar que entrara en contacto con las bolas y no permitir que los residuos por el desgaste se adhirieran a las bolas de soldadura. En la Figura 26 (b) se muestra el diagrama del nuevo diseño al *rubber*.

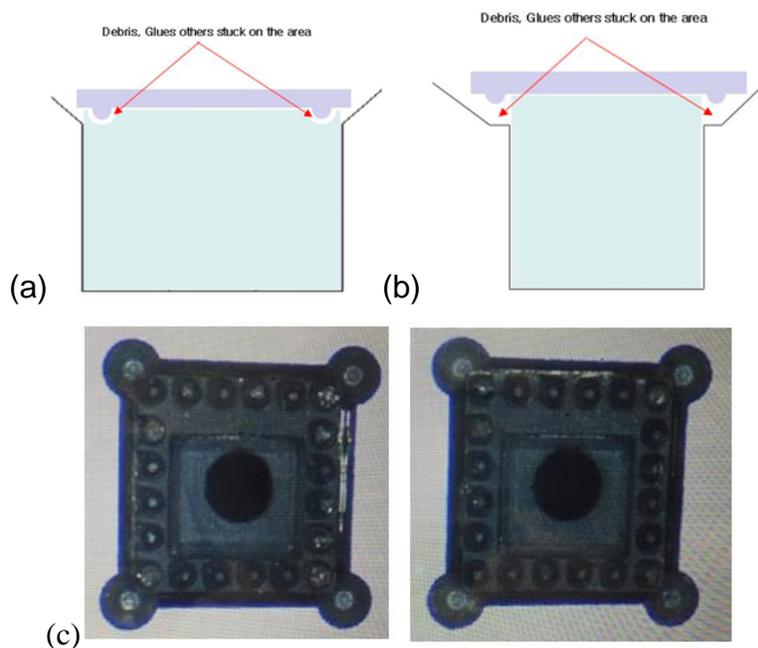


Figura 26. (a) Diagramas de Rubber (área azul) original (b) Diseño propuesto (c) Desgaste del rubber.

Evaluación del re-diseño y prueba de hipótesis

Para validar que los cambios al diseño del *rubber* fueron efectivos (ver Figura 27) se realizó la siguiente evaluación:

- Se tomaron 5 lotes de producción como sujetos de prueba.
- Cada uno de estos lotes fue dividido a la mitad.
- La primera mitad del lote fue procesada en los equipos del Proveedor 1, mientras que la segunda mitad fue procesada en los equipos del Proveedor 2.

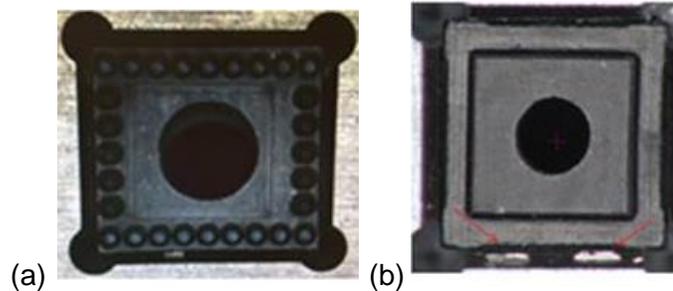


Figura 27. (a) Rubber original. (b) Rubber re-diseñado.

Los lotes fueron probados eléctricamente, los datos de yield eléctrico y porcentaje de fallas son reportados en la Tabla 6, mientras que en la Tabla 7 se muestran los resultados de la evaluación por cada uno de los proveedores. A partir de estos datos se realizó una prueba de hipótesis para determinar estadísticamente que mediante el re-diseño al *rubber*, el desempeño de los equipos del proveedor 2 es similar al desempeño de los equipos del proveedor 1.

		Proveedor	Cantidad de Entrada	Piezas buenas	Yield	CONT_VIO Cantidad de rechazos	VDD_VIO Cantidad de rechazos	CONT_VIO (%)	VDD_VIO (%)
Lote 1	Mitad 1	Proveedor 1	1,500	1,432	95.47%	1	15	0.07%	1.00%
	Mitad 2	Proveedor 2	3,903	3,845	98.51%	0	0	0.00%	0.00%
Lote 2	Mitad 1	Proveedor 1	5,425	5,301	97.71%	3	6	0.06%	0.11%
	Mitad 2	Proveedor 2	5,935	5,698	96.01%	1	1	0.02%	0.02%
Lote 3	Mitad 1	Proveedor 1	5,305	5,145	96.98%	1	5	0.02%	0.09%
	Mitad 2	Proveedor 2	6,005	5,905	98.33%	0	0	0.00%	0.00%
Lote 4	Mitad 1	Proveedor 1	5,305	4,977	93.82%	0	4	0.00%	0.08%
	Mitad 2	Proveedor 2	4,229	4,135	97.78%	0	21	0.00%	0.50%
Lote 5	Mitad 1	Proveedor 1	5,419	5,155	95.13%	0	6	0.00%	0.11%
	Mitad 2	Proveedor 2	5,922	5,794	97.84%	0	2	0.00%	0.03%

Tabla 6. Resultados de la evaluación por lote.

Proveedor	Total	Piezas buenas	Yield	CONT_VIO Cantidad	VDD_VIO Cantidad	CONT_VIO (%)	VDD_VIO (%)
Proveedor 1	22,954	22,010	95.89%	5	36	0.02%	0.16%
Proveedor 2	25,994	25,377	97.63%	1	24	0.00%	0.09%

Tabla 7. Resultados de la evaluación por proveedor.

Las hipótesis fueron planteadas de la siguiente manera:

- H0 (hipótesis nula): El porcentaje de defectos del Proveedor 2 es igual al porcentaje de defectos del Proveedor 1.
- H1 (hipótesis alternativa): El porcentaje de defectos del Proveedor 2 es mayor al porcentaje de defectos del Proveedor 1.

Se realizó una prueba de dos proporciones en Minitab por cada uno de los parámetros (CONT_VIO y VDD_VIO) capturando los datos de la Tabla 7. Con un nivel de confiabilidad del 95% (alfa igual a 0.05) y un *Pvalue* mucho mayor a alfa (ver Figura 28) se rechaza la hipótesis alternativa, es decir H0 es aceptada como verdadera.

A partir de estos resultados se pudo concluir que los cambios al diseño del *rubber* habían sido efectivos. Para el 2 de Febrero, se tomó la decisión de liberar a producción un solo equipo del Proveedor 2 (equipo #26).

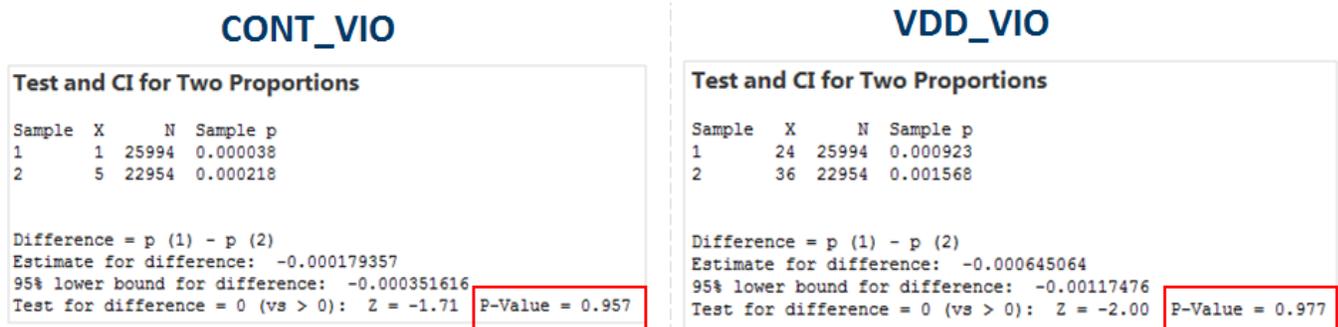


Figura 28. Resultados de la prueba de hipótesis para los parámetros CONT_VIO y VDD_VIO.

Controlar

A partir de la semana 2 del 2018, el equipo #26 del Proveedor 2 volvió a producción con el cambio en el diseño del *rubber* anteriormente descrito. Cada semana se llevaba un registro del porcentaje de fallas de los parámetros CONT_VIO y VDD_VIO. A partir de la semana 11 se comenzó a presentar un incremento en la proporción de rechazos de esas pruebas (ver Figura 29).

El caso fue revisado una segunda vez por el equipo de ensamble y para la semana 14 se liberó un segundo diseño al *rubber* (ver Figura 30). Sin embargo para las semanas siguientes, el porcentaje de fallas de la prueba VDD_VIO se mantenía mayor al 1%.

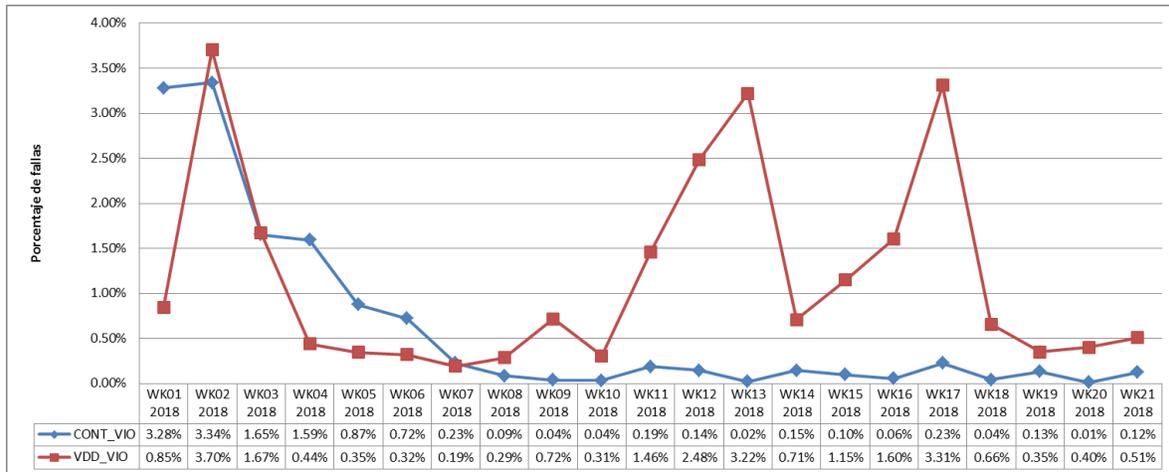


Figura 29. Tendencia semanal en el porcentaje de fallas de VDD_VIO y CONT_VIO.

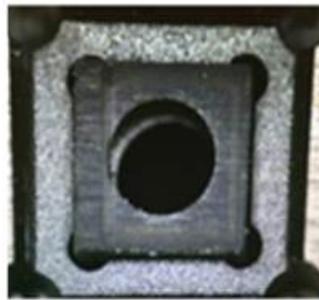


Figura 30. Segundo diseño al *rubber*.

Entre las semanas 12 y 13 se enviaron nuevas muestras de fallas de VDD_VIO al laboratorio, a diferencia del caso anterior, estas muestras sí fueron confirmadas como fallas reales, en la Figura 31 (a) se observa la respuesta del producto al aplicarse voltaje. La línea verde es la respuesta de una pieza de referencia mientras que la línea roja es la respuesta de la falla enviada al laboratorio. En la Figura 31 (b) se muestra el resultado de la prueba de emisión de microscopía. La finalidad de esta prueba es iluminar la zona donde se concentra el defecto, ya que esta región es la que genera más calor del circuito. En las muestras que se enviaron al laboratorio, se encontró que la zona iluminada pertenecía al circuito del amplificador de bajo ruido. Este tipo de

defecto es consecuencia de las descargas electrostáticas o ESD por sus siglas en inglés.

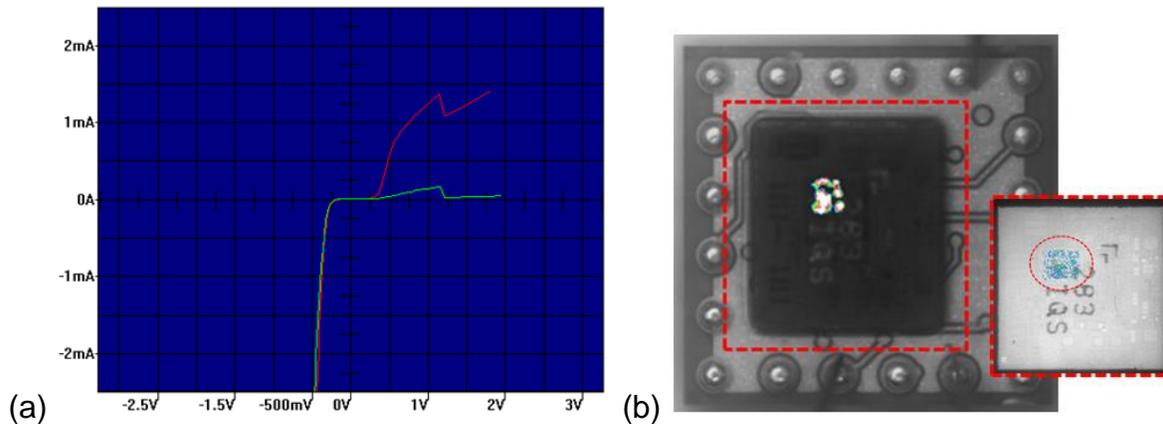


Figura 31. (a) Trazador de curva (b) Resultados de la prueba de emisión de microscopia.

Este componente no es producido en Skyworks Solutions, por lo que se tuvo que trabajar con el proveedor para obtener la información de los equipos donde se habían procesado los lotes de los *wafers* afectados. Se encontró que durante el proceso de *back grinding*, en el cual se rebajan ciertos micrones a la capa del wafer para que alcance el grosor deseado, el material defectuoso se había procesado en el mismo equipo: GRD08.

Para validar que el equipo GRD08 era el del problema, se realizó una evaluación donde se ensamblaron lotes de producción con wafers que fueron procesados en GRD08 y en otro equipo de referencia del cual no había reporte de material dañado. Los resultados mostraron que efectivamente, el equipo GRD08 dañaba de alguna manera el material, de la Tabla 8 se puede ver que el porcentaje de fallas fue de 4.41%, mientras que en el equipo de referencia fue de solo 0.20%. Para la semana 12, el proveedor puso en cuarentena el equipo GRD08.

Equipo	Volumen de Entrada	Volumen de salida	Yield	VDD_VIO	
				Cantidad de fallas	Porcentaje
GRD08	117,508	106,615	90.73%	5,181	4.41%
Referencia	123,314	119,944	97.27%	245	0.20%

Tabla 8. Resultados de la evaluación del equipo GRD08.

Capítulo 5: Discusión, conclusiones y recomendaciones

El objetivo general de este proyecto de aplicación fue identificar las variables que afectan a las pruebas de VDD_VIO y CONT_VIO en el producto *DRx LNA* de tecnología BGA y proponer medidas de control para reducir el scrap.

Por lo que de esta investigación surgen dos aportaciones principales:

1. Proveer el análisis de causa raíz del problema siguiendo la metodología *Six Sigma DMAIC*, siendo *Conformal Shielding* el proceso responsable de los defectos detectados en la etapa de prueba eléctrica.
2. Proveer una propuesta de mejora a los equipos de ensamble del proceso *Conformal Shielding*. Esta aportación fue desarrollada principalmente por el equipo de ingenieros de ensamble que trabajaron en conjunto con el proveedor para solucionar el problema.

Gracias a los diversos análisis y evaluaciones que se realizaron durante el desarrollo de este proyecto de aplicación se pudo comprobar lo siguiente:

- ✓ Las fallas de CONT_VIO y VDD_VIO están altamente relacionadas al contacto. Sin embargo esto va más allá del contacto de la pieza con el socket en el sitio de prueba. En realidad, las esferas de soldadura de las piezas estaban recubiertas por un contaminante (compuesto principalmente por carbono) impidiendo así el contacto con el socket.
- ✓ El proceso de ensamble que influyó en este problema, fue *Conformal Shielding*, específicamente refiriéndose al sub-proceso *Film to Tray*.
- ✓ No se encontró evidencia que indicara que las esferas de soldadura se encontraban dañadas o deformes y que esto impidiera el contacto con el sitio de prueba.
- ✓ Las fallas de VDD_VIO además de relacionarse al contacto, también pueden estar relacionadas al desempeño eléctrico del amplificador de bajo ruido del producto. Esta información fue confirmada por los analistas de fallas ya que durante las semanas 11 y 17 del presente año, se enviaron nuevas muestras al laboratorio debido al incremento en el porcentaje de rechazos.

En cuanto al último punto descrito en el párrafo anterior, se listan las siguientes observaciones:

- El amplificador de bajo ruido que se encontraba dañado no es manufacturado en Skyworks Solutions, por lo que se trabajó con el proveedor para encontrar la raíz del problema.
- Las nuevas investigaciones apuntaron que había un equipo en el proceso de *back grinding* del *wafer* donde se habían procesado los dados utilizados en los lotes afectados, el equipo identificado fue GRD08. Esto fue comprobado mediante una evaluación donde los lotes ensamblados con *wafers* procesados en dicho equipo tuvieron 4.41% de fallas. El proveedor puso en cuarentena el equipo en la semana 12 y no ha sido calificado nuevamente a producción.

Finalmente en la Figura 32 se muestra la tendencia mensual luego de haber implementado en producción la mejora propuesta por el equipo de ensamble y el proveedor en los equipos de *Film to Tray*. El porcentaje de fallas de las prueba VDD_VIO bajó de 1.62% a 0.44% en el mes de mayo, mientras que para la prueba CONT_VIO bajó de 2.40% a 0.08%

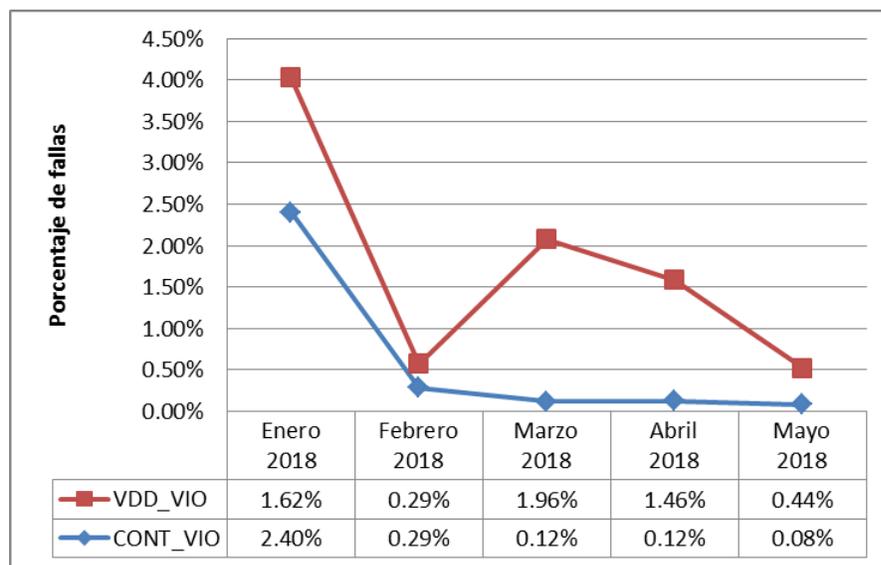


Figura 32. Tendencia mensual de los parámetros VDD_VIO y CONT_VIO.

Gracias a los resultados encontrados durante la investigación, la empresa es más consciente de los desafíos que lleva manufacturar productos de tecnología BGA. Ahora el equipo de ingeniería de producto y de procesos de ensamble esta alerta ante los

factores que podrían afectar el funcionamiento eléctrico de los nuevos productos con tecnología BGA del 2018.

Recomendaciones

A partir de la experiencia obtenida en este proyecto se puede concluir que la contaminación juega un papel importante en los productos de tecnología BGA. Fue un proceso largo para encontrar la solución al problema, por lo que resulta relevante identificar en todos los procesos de ensamble los componentes de hardware que estén en contacto directo con las esferas y realizar inspecciones y rutinas de limpieza periódicas.

El parámetro VDD_VIO no solo es susceptible a la suciedad, sino que también es sensible a las descargas electrostáticas. Se recomienda exigir a nuestros proveedores análisis periódicos de ESD a todos los equipos de manufactura del *wafer*.

Skyworks Solutions tiene como área de oportunidad el de desarrollar herramientas que concentren la información de las distintas bases de datos para que el análisis de comunalidad se pueda obtener rápidamente y así reducir el tiempo que se tarda en dar acciones de contención y mejora a problemas en productos de alto costo y volumen.

Referencias

- Akbari, S., Nourani, A., & Spelt, J. (2016). Bending strength of adhesive joints in microelectronic components: Comparison of edge-bonding and underfilling. *Composites Part A: Applied Science and Manufacturing*, 178-189.
- Bastow, E. (Febrero de 2016). *In Soldering, Understanding the Cause and Cure for NWO (Non-Wet Opens)*. Obtenido de [www.indium.com: http://www.indium.com/blog/understanding-the-cause-and-cure-for-nwo-non-wet-opens.php](http://www.indium.com/blog/understanding-the-cause-and-cure-for-nwo-non-wet-opens.php)
- Burton, T. T. (2011). *Accelerating Lean Six Sigma Results: How to Achieve Improvement Excellence in the New Economy*. Estados Unidos de America: J. Ross Publishing. Obtenido de *Accelerating Lean Six Sigma Results - How to Achieve Improvement Excellence™ in the New Economy*
- Cai, M., Wu, B. Y., Yang, D. G., Xie, D. J., Tao, Y., Su, X. X., & Zhou, F. (2011). Investigation on Cracked Solder Ball of BGA Component. *Electronic Packaging Technology and High Density Packaging (ICEPT-HDP), 2011 12th International Conference*, 1-5.
- Cluff, K. D., & Pecht, M. G. (1999). *Mechanical Engineering Handbook*,. En F. Kreith, & Y. Goswami (Edits.). Boca Raton, Florida, Estados Unidos de America: CRC Press.
- Danish Electronics, Lights and Acoustics; The Swedish Institute of Production Engineering Re; SINTEF, Norway; Technical Research Center of Finland;. (s.f.). *The Nordic Electronics Packaging Guideline - Chapter E: Ball Grid Array Technology*. Recuperado el 11 de Marzo de 2018, de <http://extra.ivf.se/ngl/E-BGA/ChapterE.htm>
- Lambert, L. (Enero de 2013). IPC -7095C Design and Assembly Process Implementation for BGAs. Obtenido de <https://www.eptac.com/webinar/ipc-7095c-the-definitive-source-for-everything-bga/>
- Licari, J. J., & Enlow, L. R. (1998). *Hybrid Microcircuit Technology Handbook*. Estados Unidos de America: Noyes Publications. Obtenido de <https://app.knovel.com/hotlink/pdf/id:kt00594RJA/hybrid-microcircuit-technology/ball-grid-array-bga-packages>
- Munro, R. A., Maio, M. J., Nawaz, M. B., Ramu, G., & Zrymiak, D. J. (2007). *Certified Six Sigma Green Belt Handbook*. Estados Unidos de America: ASQ Quality Press. Obtenido de <https://app.knovel.com/hotlink/pdf/id:kt00ATZ6I6/certified-six-sigma-green/quality-pioneers>
- Nakamura, Y., & Katogi, S. (Mayo de 2013). *Technology Trends and Future History of Semiconductor Packaging Substrate Material*. Recuperado el 11 de Marzo de 2018, de Hitachi Chemical: http://www.hitachi-chem.co.jp/english/report/055/55_sou06.pdf
- Oxford Learner's Dictionaries*. (s.f). Obtenido de [Pkg. abbreviation: https://www.oxfordlearnersdictionaries.com/definition/american_english/pkg](https://www.oxfordlearnersdictionaries.com/definition/american_english/pkg)
- Ross, R. J. (2011). *Microelectronics Failure Analysis Desk Reference* (Sexta ed.). Estados Unidos de America: ASM International.

- Said, A. F., Bennett, B. L., Toth, F., Karam, L. J., & Pettinato, J. (2010). Non-Wet Solder Joint Detection in Processor Sockets and BGA Assemblies. *Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th*, 1147-1153.
- Sumimoto, T., Maruyama, T., Azuma, Y., Goto, S., Mondo, M., Furukawa, N., & Okada, S. (2002). Detection of defects at BGA solder joints by using X-ray imaging. *Industrial Technology, 2002. IEEE ICIT'02.*, 1, 238-241.
- Whitaker, J. C. (2005). *The Electronics Handbook 2nd Edition*. Boca Raton, Florida, United States of America: Taylor & Francis Group.
- Zhou, Y. (2008). *Microjoining and nanojoining*. Estados Unidos de America: Woodhead Publishing. Obtenido de <https://app.knovel.com/hotlink/pdf/id:kt006RKIL1/microjoining-nanojoining/front-matter>